

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-081636

(43)Date of publication of application : 21.03.2000

(51)Int.Cl.

G02F 1/136

(21)Application number : 10-250128

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 03.09.1998

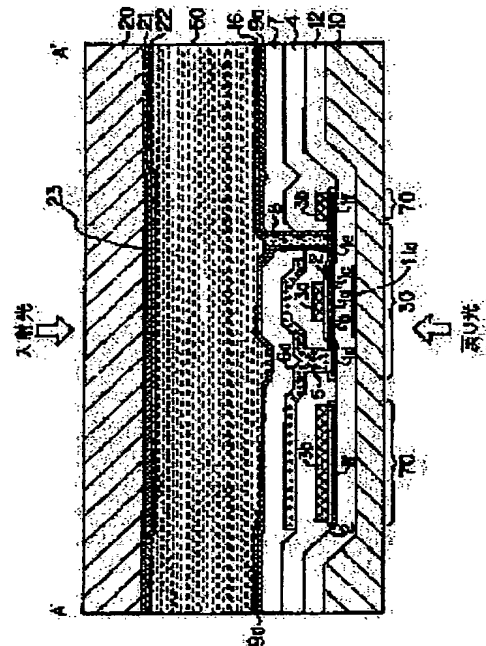
(72)Inventor : MURAIDE MASAO
YONEYAMA RYOICHI

(54) ELECTROOPTICAL DEVICE AND ITS MANUFACTURE AND ELECTRONIC INSTRUMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce differences in level caused by existence of various kinds of wiring and elements in a picture display region or in a sealing region using comparatively simple constitution in an electrooptical device.

SOLUTION: An electrooptical device is provided with an electrooptical substance layer 50 held between a pair of substrates and pixel electrodes provided on a TFT array substrate 10 in matrix. The TFT array substrate is formed recessing in non-opening regions where data lines 6a, scanning lines 3a, capacitance lines 3b and TFT exist. Furthermore, also in a sealing region, regions opposite to leader lines are formed as recessed parts.



LEGAL STATUS

[Date of request for examination]

28.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-81636

(P2000-81636A)

(43)公開日 平成12年3月21日(2000.3.21)

(51)Int.Cl.⁷

G 0 2 F 1/136

識別記号

5 0 0

F I

G 0 2 F 1/136

テーマコード(参考)

2 H 0 9 2

審査請求 未請求 請求項の数14 O L (全 23 頁)

(21)出願番号 特願平10-250128

(22)出願日 平成10年9月3日(1998.9.3)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72)発明者 米山 良一

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

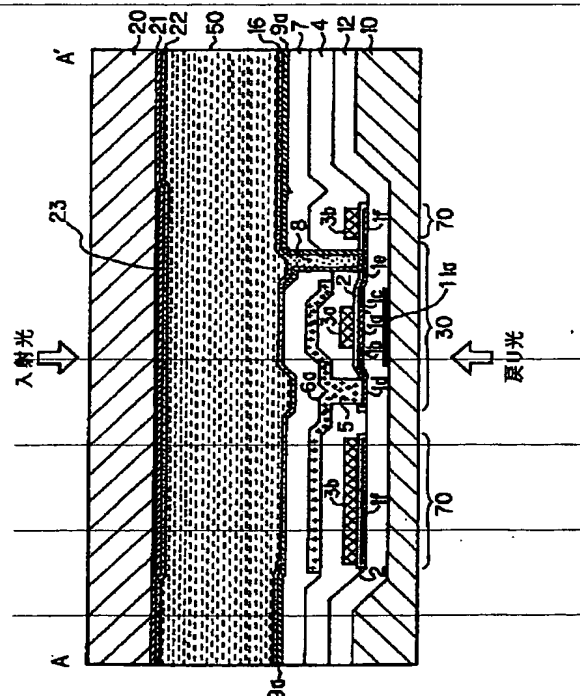
最終頁に続く

(54)【発明の名称】 電気光学装置及びその製造方法並びに電子機器

(57)【要約】

【課題】 電気光学装置において、比較的簡単な構成を用いて、画像表示領域やシール領域における各種配線や素子の存在に起因する段差を低減する。

【解決手段】 電気光学装置(100)は、一对の基板間に挟持された電気光学物質層(50)と、TFTアレイ基板(10)にマトリクス状に設けられた画素電極(11)とを備える。TFTアレイ基板は、データ線(6a)、走査線(3a)、容量線(3b)及びTFTがある非開口領域において凹状に窪んで形成されており、更に、シール領域においても引き出し配線(301、402)に対向する領域が凹状に窪んで形成されている。



(2)

1

【特許請求の範囲】

【請求項 1】 一対の基板間に電気光学物質が挟持されてなり、

該一対の基板の一方の基板の前記電気光学物質に面する側に、複数の画素電極と、該複数の画素電極に接続された複数の配線とを備えており、

前記一方の基板は、前記電気光学物質に面する側における前記複数の配線に対向する領域が少なくとも部分的に凹状に窪みを有することを特徴とする電気光学装置。

【請求項 2】 一対の基板間に電気光学物質が挟持されてなり、

該一対の基板の一方の基板の前記電気光学物質に面する側に、複数の画素電極と、該複数の画素電極を夫々選択的に駆動するための複数の駆動素子と、該複数の駆動素子に接続された複数の配線とを備えており、

前記一方の基板は、前記電気光学物質に面する側における前記複数の駆動素子及び前記複数の配線に対向する領域が少なくとも部分的に凹状に窪みを有することを特徴とする電気光学装置。

【請求項 3】 前記駆動素子は、薄膜トランジスタからなることを特徴とする請求項 2 に記載の電気光学装置。

【請求項 4】 前記一方の基板の前記電気光学物質に面する側に、前記薄膜トランジスタの少なくともチャネル領域を前記一方の基板の側から見て覆う位置に設けられた遮光膜を更に備えたことを特徴とする請求項 3 に記載の電気光学装置。

【請求項 5】 前記複数の画素電極は、マトリクス状に配置されており、前記複数の配線は、相交差する複数の走査線及び複数のデータ線を含み、

前記一方の基板は、前記電気光学物質に面する側における前記複数の走査線及び前記複数のデータ線に対向する領域が少なくとも部分的に凹状に窪んで形成されていることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の電気光学装置。

【請求項 6】 前記複数の配線は、前記複数の画素電極に対し蓄積容量を夫々付与するために形成された容量線を含み、

前記一方の基板は、前記電気光学物質に面する側における前記容量線に対向する領域が少なくとも部分的に凹状に窪んで形成されていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の電気光学装置。

【請求項 7】 前記一方の基板は、前記電気光学物質に面する側における画素開口領域を除く前記電気光学物質に対向する全領域が凹状に窪んで形成されていることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の電気光学装置。

【請求項 8】 前記電気光学物質の周囲において前記一対の基板を相互に接着するギャップ材混入のシール材を更に備えており、

2

前記複数の配線は、前記電気光学物質に対向する領域に配置された主配線から前記シール材に対向する領域に延設された引き出し配線を含み、

前記一方の基板は、前記電気光学物質に面する側における前記引き出し配線に対向する領域が少なくとも部分的に凹状に窪んで形成されていることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の電気光学装置。

【請求項 9】 前記一方の基板の凹状に窪んだ側壁部分はテーパ状に形成されていることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の電気光学装置。

【請求項 10】 前記複数の駆動素子は、凹状に窪んだ部分に絶縁層を介して形成されていることを特徴とする請求項 1 乃至 9 のいずれか一項に記載の電気光学装置。

【請求項 11】 請求項 1 に記載の電気光学装置の製造方法であって、

前記一方の基板となる平らな基板上に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、

該レジストパターンを介して所定時間のエッチングを行い前記凹状に窪んだ部分を形成するエッチング工程と、前記凹状に窪んだ部分を含む前記一方の基板上に前記複数の画素電極及び前記複数の配線を所定順序で形成する素子形成工程とを備えたことを特徴とする電気光学装置の製造方法。

【請求項 12】 請求項 2 乃至 4 のいずれか一項に記載の電気光学装置の製造方法であって、前記一方の基板となる平らな基板上に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、

該レジストパターンを介して所定時間のエッチングを行い前記凹状に窪んだ部分を形成するエッチング工程と、前記凹状に窪んだ部分を含む前記一方の基板上に前記複数の画素電極、前記複数の駆動素子及び前記複数の配線を所定順序で形成する素子形成工程とを備えたことを特徴とする電気光学装置の製造方法。

【請求項 13】 前記エッチング工程は、前記凹状に窪んだ部分の側壁をテーパ状に形成するウエットエッチング工程を含むことを特徴とする請求項 10 又は 11 に記載の電気光学装置の製造方法。

【請求項 14】 請求項 1 乃至 9、請求項 13 のいずれか一項に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下適宜、TFT (Thin Film Transistor) と称す）駆動、薄膜ダイオード（以下適宜、TFD (Thin Film Diode) と称す）駆動等によるアクティブマトリクス駆動方式やパッシブマトリクス駆動方式の電気光学装置及びその製造方法の技術分野に属する。

(3)

3

【0002】

【従来の技術】従来、電気光学装置の一例として液晶装置においては一般に、一对の基板間で画素電極及び対向電極上に各々所定方向にラビング処理が施された一对の配向膜が設けられており、これらの配向膜間に液晶等の電気光学物質が所定の配向状態で挟持されている。そして、動作時には、この電気光学物質に両電極から電界が印加され、電気光学物質の配向状態は変化され、電気光学装置の画像表示領域内で表示が行われる。

【0003】従って、この種の電気光学装置においては、データ線、走査線、容量線等の配線やTFT、TFD等の画素駆動用の駆動素子などを形成した領域と、これらの配線や駆動素子などが形成されていない領域（特に画像表示用の入射光が通過する各画素の開口領域等）における基板上の合計層厚の差による凹凸を、仮にそのまま電気光学物質に接する面（配向膜）にまで残したとすると、その凹凸の程度に応じて電気光学物質に配向不良（ディスクリネーション）が発生して、各画素の画像の劣化につながる。より具体的には、各開口領域が窪んだ凹凸面上に形成された配向膜に対してラビング処理を施したのでは、この凹凸に応じて配向膜表面に配向規制力のばらつきが生じ、この凹凸で電気光学物質の配向不良が発生してコントラストが変化してしまう。即ち、電気光学物質の配向不良が起これば、例えば、電気光学物質電圧非印加時において白表示となるノーマリーホワイトモードであれば、配向不良の箇所では白抜け現象が起こり、コントラストが低下すると共に精細度も低下してしまう。このような事態を避けるべく、配向膜間の距離（電気光学物質の層厚）を均等且つ所定値に保ち、配向膜に対するラビング処理を基板の全面に渡って均等且つ適切に施すためには、画像表示領域内に位置する画素部を平坦化することは非常に重要である。

【0004】他方、この種の電気光学装置においては一般に、上述の配線や駆動素子などが形成された両基板間には、シール材により囲まれた空間に電気光学物質が封入され、電気光学物質層が形成される。シール材は、両基板をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤である。特に小型の電気光学装置であれば、数 μm 程度の外径を持つビーズ状やファイバ状のギャップ材を混入したシール材により基板間ギャップを制御しているが、シール領域（シール材により接着されている領域）においては、電気光学物質に対向する画像表示領域から周辺領域に至る走査線及びデータ線の引き出し配線が配線されているため、引き出し配線の有無により段差が発生する。このように段差があると、ギャップ材によるギャップ制御が困難になると共にギャップ材による応力集中が引き出し配線の断線やショートの原因となるため、このようなシール領域を平坦化することも非常に重要である。

【0005】

4

【発明が解決しようとする課題】しかしながら、前述の如き画素部における平坦化のためには、例えば、薄膜トランジスタを構成する各薄膜間や各種配線を構成する各薄膜間を絶縁するために設けられた複数の層間絶縁膜のうちの一つ又は複数を、配線や駆動素子などが形成された各画素の非開口領域における厚みが各開口領域における厚みよりも薄くなるように形成する必要がある。或いは、電気光学物質に最も近い側にある層間絶縁膜の上面を、CMP（Chemical Mechanical Polishing）処理を施すことにより又はスピコート等によりSOG（Spin On Glass）を形成することにより、平坦化する必要がある。

【0006】他方、前述の如きシール領域における平坦化のためにも、複数の層間絶縁膜のうちの一つ又は複数を、引き出し配線が形成された箇所における厚みが引き出し配線が形成されていない箇所における厚みよりも薄くなるように形成する必要がある。或いは、シール材に最も近い側にある層間絶縁膜の上面を、CMP処理を施すことにより又はスピコート等によりSOGを形成することにより、平坦化する必要がある。

【0007】従って、いずれの場合にも、製造工程が複雑化し、歩留まりの低下及びコスト上昇を招くという問題点がある。

【0008】特に、各層間絶縁膜は、あまり厚く（例えば、10000オングストローム程度に）したのでは、クラックが発生し易くなってしまふ。他方で、あまり薄く（例えば、数百オングストローム程度に）したのでは、当該絶縁膜を介して絶縁された二つの導電膜間で電界が作用し易くなってしまふ。例えば、TFTのゲート絶縁膜と反対側にある薄い層間絶縁膜がゲート絶縁膜として作用してバックチャネルが形成されたり、容量が付加されてしまつたりする。また、欠陥のない薄い絶縁膜を形成することは基本的に困難であり、良品率の低下を招いてしまふ。従って、層間絶縁膜の厚みを一部で厚くし他部で薄くすることは、実際には設計自由度に乏しく、困難な作業が必要となると共にコスト上昇を招くという問題点がある。

【0009】更に、この種の電気光学装置において、各画素電極に画像信号を供給する際のデューティ比が小さくてもフリッカやクロストークが発生しないようにするために、各画素電極に所定容量を付与するための蓄積容量を設ける場合があるが、この場合には特に、これを構成する蓄積容量電極や容量線の分だけ非開口領域における合計膜厚が厚くなり、上述の画素部における段差も増加してしまふ。特に、このような蓄積容量をデータ線下の領域や走査線に沿った領域に作り込むと、この部分の層厚が増加して画素部にかなり大きな段差が発生してしまふ。例えば、データ線下の領域に蓄積容量を作り込むと、蓄積容量の厚み（第1蓄積容量電極、絶縁膜及び第2蓄積容量電極の合計の厚み）とデータ線の厚みだ

(4)

5

け、これらが存在しない画素部よりも高くなることになり、その段差は約10000オングストロームにもなる。従って、この場合には特に、画像表示領域内における段差を相殺するための平坦化処理は困難且つ高価なものになるという問題点がある。

【0010】更にまた、薄膜トランジスタを各画素に備えた型の電気光学装置においては、特にプロジェクタ用途等で電気光学装置を透過した投射光の裏面からの戻り光が薄膜トランジスタのチャンネル領域へ入射して光リークを起こすことを防止すべく、薄膜トランジスタの下側(TFTアレイ基板側)に遮光膜を設ける場合があるが、この場合には特に、遮光膜の分だけTFTを形成した非開口領域における合計膜厚が厚くなり、上述の段差も増加してしまう。従って、この場合にも特に、画像表示領域内における段差を相殺するための平坦化処理は困難且つ高価なものになるという問題点がある。

【0011】本発明は上述した問題点に鑑みなされたものであり、比較的簡単な構成を用いて、画像表示領域やシール領域における各種配線や素子の存在に起因する段差を低減可能な電気光学装置及びその製造方法を提供することを課題とする。

【0012】

【課題を解決するための手段】本発明の第1の電気光学装置は上記課題を解決するために、一対の基板間に電気光学物質が挟持されてなり、該一対の基板の一方の基板の前記電気光学物質に面する側に、複数の画素電極と、該複数の画素電極を夫々選択的に駆動するための複数の駆動素子と、該複数の駆動素子に接続された複数の配線とを備えており、前記一方の基板は、前記電気光学物質に面する側における前記複数の駆動素子及び前記複数の配線に対向する領域が少なくとも部分的に凹状に窪みを有する。

【0013】本発明の第1の電気光学装置によれば、一方の基板は、電気光学物質に面する側における複数の配線に対向する領域が少なくとも部分的に凹状に窪みを有するので、例えばデータ線、走査線、容量線等の各種の配線の上に位置する最上層(配向膜)の表面は、この凹状の凸窪みの形成された領域においてその深さに応じて、画素の開口領域(画素電極の形成領域)の表面に対して平坦化される。例えば、各種の配線が相重なるため当該配線を構成する積層体が最も厚くなる領域を、その合計層厚に等しい深さだけ凹状に窪めれば、この領域は、ほぼ完全に平坦化される。或いは、画素電極を除く電気光学物質に対向する(各種の配線が形成されている)全非開口領域を凹状に窪めれば、画素の開口領域と非開口領域とは、平坦化される。同様にして、シール領域における引き出し配線に対向する基板領域を凹状に窪めれば、シール領域における引き出し配線の有無に起因した段差も低減され、シール領域における平坦化を図ることも可能となる。

6

【0014】特に本発明の第1の電気光学装置によれば、製造初期の段階で基板に対して凹状の窪みを形成すれば、その後のCVD工程、スパッタリング工程、フォトリソグラフィ工程、エッチング工程等の各種工程を、従来とほぼ又は全く同様に行うだけで当該電気光学装置を製造できるので、大変有利である。加えて、前述のように層間絶縁膜の厚みを一部で厚くし他部で薄くする必要が無く、従って層間絶縁膜が厚い箇所でクラックが生じたり薄い箇所でバックチャンネルが発生したりする危惧も無いため、設計自由度が格段に増し、困難な製造工程や付加工程が不要となり、コスト上昇を招かないという利点も得られる。

【0015】以上のように本発明の第1の電気光学装置によれば、アクティブマトリクス駆動方式、パッシブマトリクス駆動方式、セグメント駆動方式等の各種の電気光学装置において、比較的簡単な構成を用いて画素部における段差を低減できるので、従来、段差によりラビング処理が適切に施せなかったことに起因して或いは段差による基板間距離の狂いに直接起因して発生していた電気光学物質の配向不良を効率的に低減できる。更に、比較的簡単な構成を用いてシール領域における段差を低減できるので、基板間のギャップ制御や引き出し配線の不良化防止を効率的に行うことも可能となる。

【0016】本発明の第2の電気光学装置は上記課題を解決するために、一対の基板間に電気光学物質が挟持されてなり、該一対の基板の一方の基板の前記電気光学物質に面する側に、複数の画素電極と、該複数の画素電極を夫々選択的に駆動するための複数の駆動素子と、該複数の駆動素子に接続された複数の配線とを備えており、前記一方の基板は、前記電気光学物質に面する側における前記複数の駆動素子及び前記複数の配線に対向する領域が少なくとも部分的に凹状に窪みを有する。

【0017】本発明の第2の電気光学装置によれば、一方の基板は、電気光学物質に面する側における複数の配線及び複数の駆動素子に対向する領域が少なくとも部分的に凹状に窪みを有するので、例えばデータ線、走査線、容量線等の各種の配線やTFT、TFD等の各種の駆動素子の上に位置する最上層(配向膜)の表面は、この凹状の凸窪みの形成された領域においてその深さに応じて、画素の開口領域の表面に対して平坦化される。例えば、各種の配線や駆動素子が相重なるため当該配線や駆動素子を構成する積層体が最も厚くなる領域を、その合計層厚に等しい深さだけ凹状に窪めれば、この領域は、ほぼ完全に平坦化される。或いは、画素電極を除く電気光学物質に対向する(各種の配線や駆動素子が形成されている)全非開口領域を凹状に窪めれば、画素の開口領域と非開口領域とは、平坦化される。同様にして、シール領域における引き出し配線に対向する基板領域を凹状に窪めれば、シール領域における引き出し配線の有無に起因した段差も低減され、シール領域における平坦

(5)

7

化が図られる。

【0018】また、本発明の第2の電気光学装置によれば、上述の第1の電気光学装置の場合と同様に、製造初期の段階で基板に対して凹状の窪みを形成すれば、その後の各種工程を、従来とほぼ又は全く同様に実行するだけで当該電気光学装置を製造できるので、大変有利であり、設計自由度も格段に増し、困難な製造工程や付加工程が不要となり、コスト上昇を招かないという利点も得られる。そして、TFT、TFD等の駆動素子を用いた各種のアクティブマトリクス駆動方式の電気光学装置において、比較的簡単な構成を用いて画素部における段差を低減できるので、電気光学物質の配向不良を効率的に低減できる。更に、比較的簡単な構成を用いてシール領域における段差を低減できるので、ギャップ制御が容易となり、高精細な表示が可能となる。更に、基板間のギャップ制御や引き出し配線の不良化防止を効率的に行うことも可能となる。

【0019】本発明の第2の電気光学装置の一の態様では、前記駆動素子は、薄膜トランジスタからなる。

【0020】この態様によれば、薄膜トランジスタにより画素電極毎に電気光学物質駆動が行われるTFTアクティブ駆動方式の電気光学装置が実現される。

【0021】この態様では、前記一方の基板の前記電気光学物質に面する側に、前記薄膜トランジスタの少なくともチャネル領域を前記一方の基板の側から見て覆う位置に設けられた遮光膜を更に備えてもよい。

【0022】このように構成すれば、遮光膜がTFTの少なくともチャネル領域を一方の基板の側から見て各々覆う位置において一方の基板に設けられているので、一方の基板の側からの戻り光等が当該チャネル領域に入射する事態を未然に防ぐことができ、光電流の発生によりTFTの特性が劣化することはない。

【0023】本発明の第1の電気光学装置の一の態様又は第2の電気光学装置の他の態様では夫々、前記複数の画素電極は、マトリクス状に配置されており、前記複数の配線は、相交差する複数の走査線及び複数のデータ線を含み、前記一方の基板は、前記電気光学物質に面する側における前記複数の走査線及び前記複数のデータ線に対向する領域が少なくとも部分的に凹状に窪んで形成されている。

【0024】この態様によれば、画素電極毎に電気光学物質駆動が行われるアクティブ又はパッシブマトリクス駆動方式の電気光学装置が実現される。そして、一方の基板は、電気光学物質に面する側における走査線及びデータ線に対向する領域が少なくとも部分的に凹状に窪んで形成されているので、データ線及び走査線の配線の上に位置する最上層の表面は、この凹状の凸窪みの形成された領域においてその深さに応じて、画素の開口領域の表面に対して平坦化される。例えば、TFTアクティブマトリクス駆動方式の電気光学装置において、画素の

8

開口領域に対して一般に最も段差が大きいデータ線と走査線とが交差する領域を平坦化することも可能となる。

【0025】本発明の第1又は第2の電気光学装置の他の態様では夫々、前記複数の配線は、前記複数の画素電極に対し蓄積容量を夫々付与するために形成された容量線を含み、前記一方の基板は、前記電気光学物質に面する側における前記容量線に対向する領域が少なくとも部分的に凹状に窪んで形成されている。

【0026】この態様によれば、画素電極には容量線による蓄積容量が付与されており、各画素電極に画像信号を供給する際のデューティ比が小さくてもフリッカやクロストークが発生しないようにできる。そして、一方の基板は、電気光学物質に面する側における容量線に対向する領域が少なくとも部分的に凹状に窪んで形成されているので、容量線の上に位置する最上層の表面は、この凹状の凸窪みの形成された領域においてその深さに応じて平坦化される。従って、容量線の存在に起因した段差の発生を未然に防ぎつつ、蓄積容量により画質を向上できるので有利である。

【0027】本発明の第1又は第2の電気光学装置の他の態様では夫々、前記一方の基板は、前記電気光学物質に面する側における画素開口領域を除く前記電気光学物質に対向する全領域が凹状に窪んで形成されている。

【0028】この態様によれば、画素開口領域を除く電気光学物質に対向する全領域（即ち、各種の配線や各種の駆動素子が形成されている全非開口領域）が凹状に窪んで形成されているので、画像表示領域全体の平坦化が図られる。

【0029】本発明の第1又は第2の電気光学装置の他の態様では夫々、前記電気光学物質の周囲において前記一方の基板を相互に接着するギャップ材混入のシール材を更に備えており、前記複数の配線は、前記電気光学物質に対向する領域に配置された主配線から前記シール材に対向する領域に延設された引き出し配線を含み、前記一方の基板は、前記電気光学物質に面する側における前記引き出し配線に対向する領域が少なくとも部分的に凹状に窪んで形成されている。

【0030】この態様によれば、一方の基板は、シール領域における引き出し配線に対向する基板領域が凹状に窪んで形成されているので、シール領域における引き出し配線の有無に起因した段差も低減され、シール領域における平坦化が図られる。このように比較的簡単な構成を用いてシール領域における段差を低減できるので、シール材に混入されたギャップ材による基板間ギャップの制御が容易となり、電気光学物質の配向状態の制御をより精度良く行うことにより高精細な表示が可能となる。同時に、引き出し配線の形成された領域が相対的に凸状の表面となってギャップ材による応力が当該凸状の表面領域に集中して引き出し配線が断線やショートする事態を未然に防ぐことが可能となる。

(6)

9

【0031】本発明の第1又は第2の電気光学装置の他の態様では夫々、前記一方の基板の凹状に窪んだ側壁部分はテーパ状に形成されている。

【0032】この態様によれば、凹状に窪んだ部分の側壁がテーパ状に形成されているので、凹状に窪んだ部分内に後工程で形成される、例えば、ポリシリコン膜、レジスト等が残ることがない。このため、確実に平坦化できる。また特に、シール領域において凹状に窪んだ部分の側壁をテーパ状に形成すれば、シール領域下を通る引き出し配線から凹状に窪んでいない面上に形成された周辺回路へ向けて側壁を横切って引き回す配線部分を、薄膜形成技術により確実に比較的容易に形成することも可能となる。

【0033】本発明の第1及び第2の他の態様では、前記複数の駆動素子は、凹状に窪んだ部分に絶縁層を介して形成されていることが好ましい。

【0034】この態様によれば、凹状に窪んだ部分に直接駆動素子が形成されないため、凹状に窪んだ部分による駆動素子の能動層への影響を防ぐことができる。例えば凹状に窪んだ部分は一般にエッチングにより窪ませるため、その表面は荒れている。このあれた表面に直接能動層を形成すると、駆動素子の特性、例えばV_{th}のずれ、能動層の移動度の低下、オフリークの上昇等の特性の劣化が起こる。従って、凹状に窪んだ部分にシリコン酸化膜のような絶縁層を形成し、その上に能動素子を形成すれば、上記の問題を防ぐことができる。

【0035】本発明の第1の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の第1の電気光学装置を製造する方法であって、前記一方の基板となる平らな基板上に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、該レジストパターンを介して所定時間のエッチングを行い前記凹状に窪んだ部分を形成するエッチング工程と、前記凹状に窪んだ部分を含む前記一方の基板上に前記複数の画素電極及び前記複数の配線を所定順序で形成する素子形成工程とを備える。

【0036】本発明の第1の電気光学装置の製造方法によれば、まず、一方の基板となる平らな基板上に、凹状に窪んだ部分に対応するレジストパターンが、フォトリソグラフィで形成される。その後、エッチングが、このレジストパターンを介して所定時間だけ行われて、凹状に窪んだ部分が形成される。従って、エッチングの時間管理により、凹状に窪んだ部分の深さや膜厚を制御できる。このエッチング工程において、例えばドライエッチングを用いる場合には、ほぼ露光寸法通りに開孔できる。次に、凹状に窪んだ部分を含む一方の基板上に、複数の画素電極及び複数の配線が所定順序で形成される。従って、上述した本発明の第1の電気光学装置を比較的容易に製造することが出来る。特に、製造初期の段階で基板に対して凹状の窪みを形成すれば、その後の各種工

10

程を、従来とほぼ又は全く同様に実行するだけで当該第1の電気光学装置を製造できるので、大変有利である。

【0037】本発明の第2の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の第2の電気光学装置を製造する方法であって、前記一方の基板となる平らな基板上に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、該レジストパターンを介して所定時間のエッチングを行い前記凹状に窪んだ部分を形成するエッチング工程と、前記凹状に窪んだ部分を含む前記一方の基板上に前記複数の画素電極、前記複数の駆動素子及び前記複数の配線を所定順序で形成する素子形成工程とを備える。

【0038】本発明の第2の電気光学装置の製造方法によれば、まず、一方の基板となる平らな基板上に、凹状に窪んだ部分に対応するレジストパターンが、フォトリソグラフィで形成される。その後、エッチングが、このレジストパターンを介して所定時間だけ行われて、凹状に窪んだ部分が形成される。従って、エッチングの時間管理により、凹状に窪んだ部分の深さや膜厚を制御できる。このエッチング工程において、例えば異方性ドライエッチングを用いる場合には、ほぼ露光寸法通りに開孔できる。次に、凹状に窪んだ部分を含む一方の基板上に、複数の画素電極、複数の駆動素子及び複数の配線が所定順序で形成される。従って、上述した本発明の第2の電気光学装置を比較的容易に製造することが出来る。特に、製造初期の段階で基板に対して凹状の窪みを形成すれば、その後の各種工程を、従来とほぼ又は全く同様に実行するだけで当該第2の電気光学装置を製造できるので、大変有利である。

【0039】本発明の第1又は第2の電気光学装置の製造方法の他の態様では夫々、前記エッチング工程は、前記凹状に窪んだ部分の側壁をテーパ状に形成するウェットエッチング工程を含む。

【0040】この態様によれば、ウェットエッチング工程により、凹状に窪んだ部分の側壁は、テーパ状に形成される。このように凹状に窪んだ部分の側壁をテーパ状に形成しておけば、凹状に窪んだ部分内に後工程で形成される、例えば、ポリシリコン膜等が残ることがない。このため、この部分を確実に平坦化できる。特に、シール領域において凹状に窪んだ部分の側壁がテーパ状であるので、シール領域下を通る引き出し配線から凹状に窪んでいない面上に形成された周辺回路へ向けて側壁を横切って引き回す配線部分を、薄膜形成技術により確実に比較的容易に形成することも可能となる。

【0041】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

【0042】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。

【0043】（電気光学装置の画像表示領域における構

(7)

11

成) 本発明による電気光学装置の画像表示領域における構成についてその動作と共に、図1から図4を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。また、図4は、比較例における図2のA-A'断面に対応する断面図である。

尚、図3及び図4においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0044】図1において、本実施の形態による電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aと当該画素電極9aを制御するためのTFT30とからなり、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。電気光学物質は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの電気光学物質部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの電気光学物質部分を通過可能とされ、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される電気光学物質容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い電気光学装置が実現できる。

【0045】図2において、電気光学装置のTFTアレイ基板上には、マトリクス状に複数の透明な画素電極9

12

a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5を介してポリシリコン膜等からなる半導体層1aのうち後述のソース領域に電氣的接続されており、画素電極9aは、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電氣的接続されている。また、半導体層1aのうちチャネル領域（図中右下りの斜線の領域）に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。

【0046】容量線3bは、走査線3aに沿ってほぼ直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って前段側（図中、上向き）に突出した突出部とを有する。

【0047】また、図中太線で示した矩形の島状領域には夫々、第1遮光膜11aが設けられている。より具体的には、島状の第1遮光膜11aは夫々、各TFTの少なくともチャネル領域をTFTアレイ基板側から見て、一画素毎に夫々覆う位置に設けられている。

【0048】本実施の形態では特に、図2中右上がりの斜線で示した領域では、TFTアレイ基板が凹状に窪んで形成されている。この凹状に窪んだ構成については、後に図2及び図3を参照して詳述する。

【0049】次に図3の断面図に示すように、電気光学装置は、透明な一方の基板の一例を構成するTFTアレイ基板10と、これに対向配置される透明な他方の基板の一例を構成する対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO膜（Indium Tin Oxide膜）などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0050】他方、対向基板20には、その全面に渡って対向電極（共通電極）21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0051】TFTアレイ基板10には、図3に示すように、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0052】対向基板20には、更に図3に示すように、各画素の開口領域（即ち、画像表示領域内において実際に入射光が透過して表示に有効に寄与する領域）以外の領域に、ブラックマスク或いはブラックマトリクス

(8)

13

と称される第2遮光膜23が設けられている。このため、対向基板20の側から入射光が画素スイッチング用TFT30の半導体層1aのチャネル領域1a'やLD D (Lightly Doped Drain) 領域1b及び1cに侵入することはない。更に、第2遮光膜23は、コントラストの向上、色材の混色防止などの機能を有する。

【0053】このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材(図12及び図13参照)により囲まれた空間に電気光学物質が封入され、電気光学物質層50が形成される。電気光学物質層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。電気光学物質層50は、例えば一種又は数種類のネマティック電気光学物質を混合した電気光学物質からなる。シール材は、二つの基板10及び20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のスペーサが混入されている。

【0054】図2及び図3において本実施の形態では特に、データ線6a、走査線3a及び容量線3b並びにTFT30を含む図2中右上がりの斜線が引かれた網目状の領域においては、TFTアレイ基板10が凹状に窪んで形成されており、それ以外の画素電極9aにほぼ対応する開口領域(即ち、図2中斜線が引かれていない領域)においては、TFTアレイ基板10が相対的に凸状に(平面状に)形成されている。

【0055】TFTアレイ基板10がこのように凹状に窪んで形成されているため、データ線6a、走査線3a及び容量線3b並びにTFT30の上方に位置する配向膜16の表面は、この凹状の凸窪みの形成された領域においてその深さに応じて、画素の開口領域における配向膜16の表面に対して平坦化される。

【0056】本実施の形態では特に、データ線6a、走査線3a及び容量線3b並びにTFT30が相重なるためこれらの各種配線やTFT30を構成する積層体が最も厚くなる領域を、その合計層厚に等しい深さだけ凹状に窪めているので、この最も厚くなる領域は、ほぼ完全に平坦化される。また、画素電極9aを除く電気光学物質層50に対向する全非開口領域を凹状に窪めているので、画素の開口領域と非開口領域とは、平坦化される。

【0057】但し、どの領域における配向膜16の高さを開口領域における配向膜16の高さに合わせるかは任意であり、例えば図3中左側の蓄積容量70の上方における配向膜16の高さを合わせるようにしてもよし、TFT30から外れた走査線3aや容量線3bの上方における配向膜16の高さを合わせるようにしてもよい。更に、TFTアレイ基板10のどの領域を凹状に窪めるか

14

も任意であり、例えばデータ線6aに対向する領域においてのみ窪みを形成してもよいし、TFT30に対向する領域においてのみ窪みを形成してもよい。どの場合にも、開口領域から外れた領域に対して若干なりとも窪みを形成すれば、該窪みの形成領域及び深さに応じた平坦化の効果が得られる。従って、このようにどの領域にどのような深さの窪み形成するかは、実際には要求される画素開口率(画素の開口領域の非開口領域に対する比率)、精細度、歩度まり等を勘案しての設計事項として定められる。

【0058】そして、本実施の形態の電気光学装置は、このように構成されているため、製造初期の段階でTFTアレイ基板10に対して凹状の窪みを形成すれば、その後の第1遮光膜、半導体層、ポリシリコン膜、金属膜、層間絶縁膜等を形成するためのCVD工程、スパッタリング工程、フォトリソグラフィ工程、エッチング工程等の各種工程を、従来とほぼ又は全く同様に実行するだけで当該電気光学装置を製造できるので、大変有利である。加えて、前述のように層間絶縁膜の厚みを一部で厚くし他部で薄くする必要が無く、従って層間絶縁膜が厚い箇所でクラックが生じたり薄い箇所でバックチャネルが発生したりする危惧も無いため、設計自由度が格段に増し、困難な製造工程や付加工程が不要となり、コスト上昇を招かないという利点も得られる。

【0059】これに対して図4に示した比較例では、TFTアレイ基板10'には、凹状の窪みが全く形成されていない。従って、図4から明らかなように、電気光学物質層50の層厚は、開口領域と非開口領域とで大幅に変化しており、この両領域間にある段差において電気光学物質のディスクリネーションが大きく発生し、ディスクリネーションによる悪影響が電気光学物質が開口領域にも及んで画質を劣化させてしまう。或いは、この悪影響が開口領域に及ばないようにするために、対向基板20上の第2遮光膜23を広げて当該開口領域を狭める必要が生じ、結果として表示画像が暗くなってしまう。

【0060】以上のように本実施の形態によれば、段差に起因した電気光学物質層50のディスクリネーションの発生を効率的に抑制できるので、最終的には、電気光学物質層50のディスクリネーションが表示画像に及ぼす悪影響を低減でき、画素部の開口領域を広げると共に高品質の画像表示が可能となる。

【0061】図3に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレイ基板10と各画素スイッチング用TFT30の間には、一画素毎に島状に第1遮光膜11aが設けられている。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo、Pdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等あるいはSiから構成される。このような材料から構成すれば、TFTアレイ基板10上の第1遮光膜11aの形成

(9)

15

工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようにできる。また、第1遮光膜11aとして、ポリシリコン膜を用いても良い。あるいは前記高融点金属の上層にポリシリコン膜を形成して、反射防止処理を行っても良い。このように本実施形態では、第1遮光膜11aが形成されているので、TFTアレ基板10の側からの戻り光等が画素スイッチング用TFT30のチャネル領域1a'やLDD領域1b、1cに入射する事態を未然に防ぐことができ、光電流の発生により画素スイッチング用TFT30の特性が劣化することはない。

【0062】更に、第1遮光膜11aと複数の画素スイッチング用TFT30との間には、第1層間絶縁膜12が設けられている。第1層間絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電氣的絶縁するために設けられるものである。更に、第1層間絶縁膜12は、TFTアレ基板10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能をも有する。即ち、TFTアレ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。凹状に窪んだ部分に直接駆動素子が形成されないため、凹状に窪んだ部分による駆動素子の能動層への影響、つまりV_{th}のずれ、能動層の移動度の低下、オフリークの上昇といった特性の劣化を防ぐことができる。第1層間絶縁膜12は、例えば、NSG（ノンドープトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。第1層間絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

【0063】本実施の形態では、ゲート絶縁膜2を走査線3aに対向する位置から延設して誘電体膜として用い、半導体層1aを延設して第1蓄積容量電極1fとし、更にこれらに対向する容量線3bの一部を第2蓄積容量電極とすることにより、蓄積容量70が構成されている。より詳細には、半導体層1aの高濃度ドレイン領域1eが、データ線6a及び走査線3aの下に延設されて、同じくデータ線6a及び走査線3aに沿って伸びる容量線3b部分に絶縁膜2を介して対向配置されて、第1蓄積容量電極（半導体層）1fとされている。特に蓄積容量70の誘電体としての絶縁膜2は、高温酸化によりポリシリコン膜上に形成されるTFT30のゲート絶縁膜2に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、蓄積容量70は比較的小面積で大容量の蓄積容量として構成できる。

【0064】この結果、データ線6a下の領域及び走査

16

線3aに沿って電気光学物質のディスクリネーションが発生する領域（即ち、容量線3bが形成された領域）という開口領域を外れたスペースを有効に利用して、画素電極9aの蓄積容量を増やすことが出来るため、小型で高精細な液晶装置でも、明るくコントラスト比の高い電気光学装置を実現できる。

【0065】図3において、画素スイッチング用TFT30は、LDD（Lightly Doped Drain）構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの低濃度ソース領域（ソース側LDD領域）1b及び低濃度ドレイン領域（ドレイン側LDD領域）1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが接続されている。ソース領域1b及び1d並びにドレイン領域1c及び1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用のドーパントをドーピングすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TFT30として用いられることが多い。本実施の形態では特にデータ線6aは、Al等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。また、走査線3a、ゲート絶縁膜2及び第1層間絶縁膜12の上には、高濃度ソース領域1dへ通じるコンタクトホール5及び高濃度ドレイン領域1eへ通じるコンタクトホール8が各々形成された第2層間絶縁膜4が形成されている。このソース領域1bへのコンタクトホール5を介して、データ線6aは高濃度ソース領域1dに電氣的接続されている。更に、データ線6a及び第2層間絶縁膜4の上には、高濃度ドレイン領域1eへのコンタクトホール8が形成された第3層間絶縁膜7が形成されている。この高濃度ドレイン領域1eへのコンタクトホール8を介して、画素電極9aは高濃度ドレイン領域1eに電氣的接続されている。前述の画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。尚、画素電極9aと高濃度ドレイン領域1eとは、データ線6aと同一のAl膜や走査線3bと同一のポリシリコン膜を中継しての電氣的接続するようにしてもよい。

【0066】画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極3aをマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。

(10)

17

【0067】また本実施の形態では、画素スイッチング用TFT30のゲート電極3aをソースドレイン領域1d及び1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャンネルとソースドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも1個をLDD構造やオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0068】ここで、一般には、半導体層1aのチャンネル領域1a'、低濃度ソース領域1b及び低濃度ドレイン領域1c等のポリシリコン層は、光が入射するとポリシリコンが有する光電変換効果により光電流が発生してしまい画素スイッチング用TFT30のトランジスタ特性が劣化するが、本実施の形態では、走査線3aを上側から覆うようにデータ線6aがA1等の遮光性の金属薄膜から形成されているので、少なくとも半導体層1aのチャンネル領域1a'及びLDD領域1b、1cへの入射光の入射を効果的に防ぐことが出来る。また、前述のように、画素スイッチング用TFT30の下側には、第1遮光膜11aが設けられているので、少なくとも半導体層1aのチャンネル領域1a'及びLDD領域1b、1cへの戻り光の入射を効果的に防ぐことが出来る。

【0069】本実施の形態では特に、第1遮光膜11aは、複数の島状部分に分断されている。従って、例えば、格子状やストライプ状に設けられた遮光膜の場合と比較して、一体として形成される部分の面積が遙かに小さいため、遮光膜とその隣接膜との間の物性の相違により遮光膜に発生するストレスを大幅に緩和できる。このため、第1遮光膜11aにおける膜剥がれや膜変形或いはクラックの発生防止が図られる。同時に、第1遮光膜11a自身のストレスにより画素スイッチング用TFT30の特性が劣化する事態を未然に防ぐことが出来る。尚、第1遮光膜11aは島状に形成せずに、ストライプ状、あるいはマトリクス状に形成しても良い。

【0070】更に、第1遮光膜11aの複数の島状部分は、定電位源又は容量部分に電氣的接続されてもよい。例えば、第1遮光膜11aは、定電位とされた容量線3bに夫々電氣的接続されてもよい。このように構成すれば、第1遮光膜11aに対向配置される画素スイッチング用TFT30に対し第1遮光膜11aの電位変動が悪影響を及ぼすことはない。また、容量線3bを定電位とすることで、蓄積容量70の第2蓄積容量電極として良好に機能し得る。この場合、定電位源としては、当該電気光学装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極21に供給さ

18

れる定電位源等が挙げられる。

【0071】本実施の形態では、第1遮光膜11aの各島状部分は、画素スイッチング用TFT30のチャンネル領域1a'に対する遮光を行うのに必要な領域に最低限設けられているので、限られた画素部の非開口領域において、データ線6aや走査線3aと各島状部分（遮光膜）が重なる領域も最低限に抑えられており、製造プロセス中に、第1遮光膜11aに意図しない突起等が形成された場合などに第1遮光膜11aとデータ線6aや走査線3aとがショートして、当該電気光学装置が不良品化する可能性を低く出来るので有利である。

【0072】また、容量線3bと走査線3aとは、同一のポリシリコン膜からなり、蓄積容量70の誘電体膜と画素スイッチング用TFT30のゲート絶縁膜2とは、同一の高温酸化膜からなり、第1蓄積容量電極1fと、画素スイッチング用TFT30のチャンネル形成領域1a'、ソース領域1d、ドレイン領域1e等とは、同一の半導体層1aからなる。このため、TFTアレイ基板10上に形成される積層構造を単純化でき、更に、後述の電気光学装置の製造方法において、同一の薄膜形成工程で容量線3b及び走査線3aを同時に形成でき、蓄積容量70の誘電体膜及びゲート絶縁膜2を同時に形成できる。

【0073】以上詳細に説明したように本実施形態によれば、画像表示領域における平坦化が図られているため、第1遮光膜11aや容量線3bを採用することにより表示画像の品質を高めつつ、データ線6a、走査線3a、TFT30等に加えて、これらの容量線3b及び第1遮光膜11a並びにそれらに付随して必要となる層間絶縁膜等の存在に起因する画素開口領域の周辺における段差を極力抑えることにより、電気光学物質のディスクリネーションが低減されていると同時に、画素開口率が高く明るい画像表示が可能となる。

【0074】（電気光学装置の周辺領域及びシール領域における構成）本発明による電気光学装置の周辺領域及びシール領域における構成についてその動作と共に、図5から図7を参照して説明する。図5は、シール領域及びその付近における各種配線や周辺回路の構成を示す平面図であり、図6は図7のシール領域における引き出し配線を拡大して示す平面図であり、図7（1）及図7（2）は夫々、図6のC-C'断面図及び図5のD-D'断面図である。

【0075】図5において、TFT基板アレイ基板10の周辺部に設けられた実装端子102からは、走査線駆動回路104に走査線駆動回路信号線105aが配線されており、データ線駆動回路101とシール領域との間の領域に、X方向（横方向）に複数の画像信号線115が配線されている。そして、データ線6aの延長線上におけるシール領域下には、データ線駆動回路101からのサンプリング回路駆動信号線114の一部である引き

(11)

19

出し配線301a及び画像信号線115からの中継配線301bからなる引き出し配線（以下、“データ線の引き出し線”と称する）301が設けられている。他方、走査線3aの延長線上におけるシール領域下には、走査線駆動回路104からの走査線の引き出し配線402が設けられている。引き出し配線402は、その端部に対向電極（共通電極）電位配線112を含んでいる。この対向電極電位配線112は、上下導通端子106a及び上下導通材106を介して対向基板20に形成された対向電極21（図3参照）に接続されている。また、データ線駆動回路101に所定検査用の信号を入力するための検査端子111が、データ線駆動回路101に隣接して設けられている。

【0076】図5において、TFTアレイ基板10上には、データ線6aに画像信号を所定のタイミングで印加するサンプリング回路103が設けられている。サンプリング回路103は、データ線6a毎に設けられた複数のスイッチング素子（例えば、TFT）を備えており、複数（例えば、6本）のシリアルーパラレル変換された画像信号が複数の画像信号線115から引き出し配線301bを介して各々入力されると、これを、走査線駆動回路101からサンプリング回路駆動信号線114及び引き出し配線301aを介して供給されるサンプリング回路駆動信号のタイミングで各スイッチング素子によりサンプリングし、各データ線6aに印加するように構成されている。尚、サンプリング回路103に加えて、TFTアレイ基板10上に、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0077】図6に示すように、データ線の引き出し配線301は各々、Y方向（縦方向）に延びており、幅Lを有し、相隣接する配線同士は間隔Sをおいて配列されている。そして、引き出し配線301は、データ線6aと同じA1膜から構成されており、図7（1）に示すように、各引き出し配線301の下には、走査線3aと同じポリシリコン膜から構成されたダミー配線302が設けられている。

【0078】尚、図5及び図6において、対向基板に設けられており周辺見切りと称される画像表示領域の周辺を規定する第3遮光膜53下には画面表示領域を構成する画素と同一構成を持つダミー画素が形成されている。電気光学物質の配向不良領域等を隠すように設けられた第3遮光膜53下に表示用の画素を構成する必要は無いが、画像表示領域の縁付近の画素の特性安定化のために、このように画像表示領域の縁よりも外に所定幅だけダミー画素を設けても良い。

【0079】他方、図5に示した走査線の引き出し配線402は各々、X方向に延びており、相隣接する配線同

20

士は間隔をおいて配列されている。そして、引き出し配線402は、走査線6aと同じポリシリコン膜から構成されており、図7（2）に示すように、各引き出し配線402の上には、データ線6aと同じA1膜から構成されたダミー配線401が設けられている。

【0080】図7（1）及び図7（2）に示すように、本実施の形態では特に、TFTアレイ基板10は、シール領域において引き出し配線301及び402に対向する部分が凹状に窪んで形成されている。従って、TFTアレイ基板10側のシール領域においてシール材52に接する第3層間絶縁膜7の表面において引き出し配線301及び402上に形成される凸状の突出の高さは、当該凹状に窪んだ部分の深さに応じて低められており、同図に各々示したように、第3層間絶縁膜7の表面は、ほぼ平坦にされている。この結果、シール領域において、シール材52に混入されたグラスファイバやガラスビーズ等のギャップ材300を介してかかる応力は第3層間絶縁膜7の面上に様に分散される。従って、引き出し配線の有無に応じて表面に凹凸があるシール領域においてギャップ材300によりかかる応力が集中して、引き出し配線が断線したりショートしたりする可能性は大きく低減される。

【0081】更に、電気光学物質層50に面する画素領域の表面とシール材52に面するシール領域の表面の高さの差も小さくなる。このため、従来のように、基板間ギャップよりも1μm程度小さい径を持つギャップ材を使用する必要がなくなり、基板間ギャップと同程度の径を持つギャップ材300を使用することが可能となる。このことは、画素の微細化による電気光学物質層50の配向不良を防ぐべく基板間ギャップを狭める場合に、大きな効果が期待できる。

【0082】そして、本実施の形態では特に、シール領域において、データ線の引き出し配線301に対しては、ポリシリコン膜からなるダミー配線302が、第2層間絶縁膜4を介して積層形成されている（図7（1）参照）。他方、走査線の引き出し配線402に対しては、A1膜からなるダミー配線401が第2層間絶縁膜4を介して積層形成されている（図7（2）参照）。従って、画像表示領域の上下の辺におけるシール領域における第3層間絶縁膜7の表面の高さと、画像表示領域の左右の辺における第3層間絶縁膜7の表面の高さとは一致するので、シール材52の全体に混入されるギャップ材300による基板間ギャップの制御が安定なものとなる。

【0083】ここで、シール領域における合計膜厚の調整用のダミー配線302及び401は、引き出し配線301及び402と夫々電気的に接続してもよい。このような構成を採れば、引き出し配線の冗長が可能となる。また、電気的に浮遊していても問題はないし、他の容量線3bや第1遮光膜11a用の引き出し配線等として利

(12)

21

用してもよい。

【0084】本実施の形態では、図6に示すように、第2層間絶縁膜4（図7（1）及び図7（2）参照）に開孔されたコンタクトホール305を介して更に、ダミー配線302は、引き出し配線301に電氣的接続されている。同様に、ダミー配線401は、引き出し配線402に電氣的接続されている。この結果、各引き出し配線301及び402は各々2つの導電層（A1膜及びポリシリコン膜）からなる冗長構造を有する。従って、例えば、シール領域下においてギャップ材300による応力を受けて引き出し配線301又は402が断線しても、或いは、TF Tアレイ基板10に垂直な方向にA1膜が導電層が第2層間絶縁膜4を破ってポリシリコン膜にショートしても配線不良とならないで済むので有利である。更に冗長するために第1遮光膜1aを引き出しは緯線302、402下に設けても良い。

【0085】以上詳細に説明したように本実施形態によれば、シール領域における平坦化が図られているため、引き出し配線の配線不良を低減しつつシール材に混入したギャップ材を用いて基板間ギャップの制御を良好に行うことが出来る。

【0086】尚、本実施の形態では、図3及び図7に示したようにTF Tアレイ基板の凹状の窪んだ側壁部分は、テーパ状に形成されている。従って、次に説明するように、凹状に窪んだ部分内に後工程で形成される、例えば、ポリシリコン膜、レジスト等が残ることがない。このため、確実に平坦化できる。また特に、シール領域において凹状に窪んだ部分の側壁をテーパ状に形成しているので、シール領域下を通る引き出し配線から凹状に窪んでいない面上に形成されたデータ線駆動回路101や走査線駆動回路104へ向けて側壁を横切って引き出す配線部分を、薄膜形成技術により確実に比較的容易に形成することも可能となる。例えば、テーパのない或いは逆テーパの形成された側壁を横切って引き出し配線を引き出すのは容易ではなく、配線不良の原因となる。

【0087】（電気光学装置の製造プロセス）次に、以上のような構成を持つ電気光学装置の製造プロセスについて、図8から図11を参照して説明する。尚、図8から図11は各工程におけるTF Tアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて示す工程図である。

【0088】先ず、図8の工程（1）に示すように、TF Tアレイ基板10となる石英基板に対して反応性エッチング、反応性イオンビームエッチング等のドライエッチングを施し、画像表示領域内の各種配線及びTF Tが形成される予定の非開口領域（図2及び図3参照）における基板上面に、一旦テーパのない凹状の窪みを形成する。石英基板は、例えば1mm程度の厚みを持っており、後述のように平坦化のために数ミクロン程度の窪みを付けたとしても何等問題は生じない。この際、本発明

22

者の実験によれば、例えば、SF₆/CHF₃ガスを用いたドライエッチングを行う場合には、混合比が14/112であればエッチングレートは5290オングストローム/min（オングストローム/分）となり、混合比が17/90であればエッチングレートは5169オングストローム/minとなり、混合比が23/67であればエッチングレートは4297オングストローム/minとなる。即ち、SF₆/CHF₃ガスの混合比を調節することにより所望のエッチングレートが得られ、よって所望の深さの凹状の窪みを形成できる。特に、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、凹状の窪みを開孔した方が、開孔形状をレジストによるマスク形状とほぼ同じにできる。このようにドライエッチング処理によってテーパのない凹状の窪みが形成された石英基板に対して、続いて、例えば780オングストローム/min程度の低いエッチングレートのウェットエッチングにより、窪みの側壁をテーパ状にする。このように凹状に窪んだ部分の側壁をテーパ状に形成すれば、凹状に窪んだ部分内に後工程で形成される、例えば、ポリシリコン膜やレジストが、開孔部の側壁周囲にエッチングや剥離されずに残ってしまうことがなく、歩留まりの低下を招かない。このため、確実に平坦化できる。更に第1層間絶縁膜12の開孔部の即壁面をテーパ状に形成する方法としては、ドライエッチングで一度エッチングしてから、レジストパターンを後退させて、再度ドライエッチングを行ってもよい。

【0089】ここで好ましくは、N₂（窒素）等の不活性ガス雰囲気且つ約900～1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTF Tアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTF Tアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。

【0090】尚、石英基板に換えて、シリコン基板、ハードガラス等に対して上述のエッチング処理やアニール処理を施して、TF Tアレイ基板10を構成してもよい。また、以後の工程でのマスキング等における、TF Tアレイ基板10に形成された窪みに対する位置合わせ（アラインメント）は、例えば、この工程（1）で位置合わせようの窪みをTF Tアレイ基板の所定箇所に付加しておき、これを光の干渉等で認識することにより行われる。

【0091】次に、工程（2）に示すように、凹状の窪みが形成されたTF Tアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタにより、1000～5000オングストローム程度の層厚、好ましくは約2000オングストロームの層厚の遮光膜11を形成する。

尚、遮光膜11としてポリシリコン膜を用いれば、応力

(13)

23

による層間絶縁膜の破壊を招くことがない。

【0092】続いて、工程（3）に示すように、該形成された遮光膜11上にフォトリソグラフィにより第1遮光膜11aのパターン（図2参照）に対応するレジストマスクを形成し、該レジストマスクを介して遮光膜11に対しエッチングを行うことにより、第1遮光膜11aを形成する。

【0093】次に工程（4）に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、T10 MOP（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜12を形成する。この第1層間絶縁膜12の層厚は、例えば、約5000～20000オングストロームとする。

【0094】次に工程（5）に示すように、第1層間絶縁膜12の上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD（例えば、圧力約20～40PaのCVD）により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間のアニール処理を施すことにより、ポリシリコン膜1を約500～2000オングストロームの厚さ、好ましくは約1000オングストロームの厚さとなるまで固相成長させる。

【0095】この際、図3に示した画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb（アンチモン）、As（砒素）、P（リン）などのV族元素のドーパントを僅かにイオン注入等によりドーブしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B（ボロン）、Ga（ガリウム）、In（インジウム）などのIII族元素のドーパントを僅かにイオン注入等によりドーブしても良い。

尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化（アモルファス化）し、その後アニール処理等により再結晶化させてポリシリコン膜1を形成しても良い。固相成長させる方法としては、RTA（Rapid Thermal Anneal）を使用したアニール処理、エキシマレーザー等のレーザーアニールを用いても良い。

【0096】次に工程（6）に示すように、フォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの半導体層1aを形成する。即ち、特にデータ線6a下で容量線3bが形成される領域及び走

24

査線3aに沿って容量線3bが形成される領域には、画素スイッチング用TFT30を構成する半導体層1aから延設された第1蓄積容量電極1fを形成する。

【0097】次に工程（7）に示すように、画素スイッチング用TFT30を構成する半導体層1aと共に第1蓄積容量電極1fを約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約300オングストロームの比較的薄い厚さの熱酸化シリコン膜を形成し、更に減圧CVD法等により高温酸化シリコン膜（HTO膜）や窒化シリコン膜を約500オングストロームの比較的薄い厚さに堆積し、多層構造を持つ画素スイッチング用TFT30のゲート絶縁膜2と共に容量形成用のゲート絶縁膜2を形成する（図3参照）。この結果、第1蓄積容量電極1fの厚さは、約300～1500オングストロームの厚さ、好ましくは約350～500オングストロームの厚さとなり、ゲート絶縁膜2の厚さは、約200～1500オングストロームの厚さ、好ましくは約300～1000オングストロームの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン層1を熱酸化することのみにより、単一層構造を持つゲート絶縁膜2を形成してもよい。

【0098】尚、工程（7）において特に限定されないが、第1蓄積容量電極1fとなる半導体層部分に、例えば、Pイオンをドーザ量約 $3 \times 10^{12} / \text{cm}^2$ でドーブして、低抵抗化させてもよい。

【0099】次に工程（8）に示すように、減圧CVD法等によりポリシリコン層3を堆積した後、リン（P）を熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーブトシリコン膜を用いてもよい。

【0100】次に、図9の工程（9）に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。これらの容量線3b（走査線3a）の層厚は、例えば、約3500オングストロームとされる。

【0101】次に工程（10）に示すように、図3に示した画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3a（ゲート電極）を拡散マスクとして、PなどのV族元素のドーパント60を低濃度で（例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーザ量にて）ドーブする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。この不純物のドーブにより容量線3b及び走査線3aも低抵抗化される。

【0102】続いて、工程（11）に示すように、画素

(14)

25

スイッチング用TFT 30を構成する高濃度ソース領域1b及び高濃度ドレイン領域1cを形成するために、走査線3aよりも幅の広いマスクでレジスト層62を走査線3a上に形成した後、同じくPなどのV族元素のドーパント61を高濃度で(例えば、Pイオンを $1\sim 3\times 10^{15}/\text{cm}^2$ のドーパ量にて)ドーピングする。また、画素スイッチング用TFT 30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素のドーパントを用いてドーピングする。尚、例えば、低濃度のドーピングを行わずに、オフセット構造のTFTとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。

【0103】この不純物のドーピングにより容量線3b及び走査線3aも更に低抵抗化される。

【0104】これらの工程と並行して、nチャネル型TFT及びpチャネル型TFTから構成される相補型構造を持つデータ線駆動回路101及び走査線駆動回路104等の回路をTFTアレイ基板10上の周辺部に形成する。このように、本実施の形態において画素スイッチング用TFT 30は半導体層をポリシリコンで形成するので、画素スイッチング用TFT 30の形成時にほぼ同一工程で、データ線駆動回路101及び走査線駆動回路104を形成することができ、製造上有利である。

【0105】次に工程(12)に示すように、画素スイッチング用TFT 30における走査線3aと共に容量線3bを覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。第2層間絶縁膜4の層厚は、約5000～15000オングストロームが好ましい。

【0106】次に工程(13)の段階で、高濃度ソース領域1d及び高濃度ドレイン領域1eを活性化するために約1000℃のアニール処理を20分程度行った後、データ線31に対するコンタクトホール5を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより或いはウェットエッチングにより形成する。また、走査線3aや容量線3bを図示しない配線と接続するためのコンタクトホールも、コンタクトホール5と同一の工程により第2層間絶縁膜4に開孔する。

【0107】次に図10の工程(14)に示すように、第2層間絶縁膜4の上に、スパッタ処理等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約1000～5000オングストロームの厚さ、好ましくは約3000オングストロームに堆積し、更に工程(15)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線6aを形成す

26

る。

【0108】次に工程(16)に示すように、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7を形成する。第3層間絶縁膜7の層厚は、約5000～15000オングストロームが好ましい。

【0109】次に図11の工程(17)の段階において、画素スイッチング用TFT 30において、画素電極9aと高濃度ドレイン領域1eとを電気的接続するためのコンタクトホール8を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。

【0110】次に工程(18)に示すように、第3層間絶縁膜7の上に、スパッタ処理等により、ITO膜等の透明導電性薄膜9を、約500～2000オングストロームの厚さに堆積し、更に工程(19)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。尚、当該電気光学装置を反射型の電気光学装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0111】続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16(図3参照)が形成される。

【0112】以上、図8から図11を参照して、画素部を中心に製造工程について説明したが、これらと同一工程により、図7に示したシール領域における積層構造も形成される。即ち、主に、上述の工程(1)と同一のエッチング工程によりシール領域における凹状の窪みが形成され、工程(8)及び(9)と同一工程により走査線の引き出し配線402(図7(2)参照)及びダミー配線302(図7(1)参照)が形成され、工程(14)及び(15)と同一工程によりデータ線の引き出し配線301(図7(1)参照)及びダミー配線401(図7(2)参照)が形成され、その他の工程により第1から第3層間絶縁膜12、4及び7が形成される。従って、シール領域においては、TFTアレイ基板10に形成された凹状の窪みに応じて第3層間絶縁膜7の上面は平坦化されている。このように本実施形態の製造プロセスによれば、シール領域における平坦化が図られており、特に、シール領域における凹状に窪んだ部分の側壁はテーパ状に形成されるので、シール領域下を通る引き出し配線301及び402から凹状に窪んでいない基板面上に形成されたデータ線駆動回路101や走査線駆動回路104へ向けて側壁を横切って引き回す配線部分(図5及び図6参照)を、薄膜形成技術により確実且つ比較的容易に形成することも可能となる。

【0113】他方、図3に示した対向基板20について

(15)

27

は、ガラス基板等が先ず用意され、第2遮光膜23及び周辺見切りとしての第3遮光膜53（図5、図6、図12及び図13参照）が、例えば金属クロムをスパッタした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、これらの第2遮光膜及び第3遮光膜は、Cr、Ni、Al、などの金属材料の他、Si、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0114】その後、対向基板20の全面にスパッタ処理等により、ITO等の透明導電性薄膜を、約500～2000オングストロームの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22（図3参照）が形成される。

【0115】最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するようにシール材52により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック電気光学物質を混合してなる電気光学物質が吸引されて、所定層厚の電気光学物質層50が形成される。

【0116】尚、以上の製造プロセスにおいて、CMP処理を施したり、スピコート等によりSOGを形成して、第3層間絶縁膜7の上面を、より完全に平坦化してもよい。このように平坦化すれば、当該平坦化の度合いに応じて、第3層間絶縁膜7の表面の凹凸により引き起こされる電気光学物質のディスクリネーション（配向不良）を低減できる。特に、TFTアレイ基板10に形成された凹状の窪みに応じて、第3層間絶縁膜7の上面の段差は低減されているため、このようなより完全なグローバル平坦化を図る工程にかかる負担は非常に小さくて済む。

【0117】（電気光学装置の全体構成）以上のように構成された電気光学装置の各実施の形態の全体構成を図12及び図13を参照して説明する。尚、図12は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図13は、対向基板20を含めて示す図12のH-H'断面図である。

【0118】図12において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る周辺見切りとしての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線駆動回路101及び実装端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延

28

が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナ部部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的導通をとるための上下導通材106が設けられている。そして、図13に示すように、図12に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。

【0119】以上図1から図13を参照して説明した各実施の形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB（テープオートメテッドボンディング基板）上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN（ツイステッドネマティック）モード、STN（スーパーTN）モード、D-STN（ダブル-STN）モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方で配置される。

【0120】以上説明した各実施の形態における電気光学装置は、カラー電気光学物質プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各パネルには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施の形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、電気光学物質プロジェクタ以外の直視型や反射型のカラー電気光学物質テレビなどのカラー電気光学装置に各実施の形態における電気光学装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよ

(16)

29

い。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0121】以上説明した各実施の形態における電気光学装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように電気光学装置をプロジェクタに取り付けても、半導体層1aのチャネル領域1a'及びLDD領域1b、1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側での反射を防止するために、反射防止用のAR被膜された偏光板を別途配置したり、ARフィルムを貼り付ける必要があった。しかし、各実施の形態では、TFTアレイ基板10の表面と半導体層1aの少なくともチャネル領域1a'及びLDD領域1b、1cとの間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要がなくなる。従って、各実施の形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0122】また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施の形態は有効である。

【0123】更に、電気光学装置の各画素のスイッチング素子として、TFTに変えて、TFD等の2端子型非線形素子を用いてもよい。この場合には、走査線及びデータ線のうち的一方を対向基板に設けてストライプ状の対向電極とし、他方を素子アレイ基板に設けて、各TFD素子等を介して各画素電極に接続するように構成すればよい。或いは、電気光学装置の各画素にスイッチング素子を設けることなく、パッシブマトリクス型の電気光学装置として構成してもよい。いずれの場合にも、画像表示領域内及びシール領域内における平坦化により、上述した本発明独自の効果が得られる。

【0124】(電子機器)次に、以上詳細に説明した液晶装置100を備えた電子機器の実施の形態について図14から図16を参照して説明する。

30

【0125】先ず図14に、このように液晶装置100を備えた電子機器の概略構成を示す。

【0126】図14において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置100、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、シリアル・パラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、液晶装置100を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、液晶装置100を構成するTFTアレイ基板の上に、駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

【0127】次に図15から図16に、このように構成された電子機器の具体例を各々示す。

【0128】図15において、電子機器の一例たる液晶プロジェクタ1100は、上述した駆動回路1004がTFTアレイ基板上に搭載された液晶装置100を含む液晶表示モジュールを3個用意し、各々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。液晶プロジェクタ1100では、メタルハライドランプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のダイクロイックミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bに各々導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び出射レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより各々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

【0129】図16において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ(PC)1200は、上述した液晶装置100がトップカバーケース内に設けられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202

(17)

31

が組み込まれた本体1204を備えている。

【0130】以上図15から図16を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション（EWS）、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図14に示した電子機器の例として挙げられる。

【0131】以上説明したように、本実施の形態によれば、製造効率が高く高品位の画像表示が可能な液晶装置を備えた各種の電子機器を実現できる。

【0132】

【発明の効果】本発明の電気光学装置によれば、比較的簡単な構成を用いての画像表示領域内における平坦化により、電気光学物質のディスクリネーションの発生を低減しつつ画素開口領域を大きくとることができ、明るく、高品質の画像表示が可能な電気光学装置を実現できる。また、比較的簡単な構成を用いてのシール領域における平坦化により、基板間ギャップが精度高く制御され且つ配線不良が低減された高信頼性の電気光学装置を実現できる。

【0133】また、本発明の電気光学装置の製造方法によれば、比較的簡単な工程制御により或いは信頼性の高い工程により、本発明の電気光学装置を製造することが可能となる。

【図面の簡単な説明】

【図1】 電気光学装置の実施形態における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】 電気光学装置の実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】 図2のA-A'断面図である。

【図4】 比較例における図2のA-A'断面に対応する断面図である。

【図5】 シール領域及び周辺領域に形成された引き出し配線及び周辺回路を示す平面図である。

【図6】 図5のシール領域に形成されたデータ線の引き出し配線部分を拡大して示す拡大平面図である。

【図7】 シール領域下に形成された引き出し配線部における電気光学装置のTFTアレイ基板側の断面図である。

【図8】 電気光学装置の製造プロセスを順を追って示す工程図（その1）である。

【図9】 電気光学装置の製造プロセスを順を追って示す工程図（その2）である。

32

【図10】 電気光学装置の製造プロセスを順を追って示す工程図（その3）である。

【図11】 電気光学装置の製造プロセスを順を追って示す工程図（その4）である。

【図12】 電気光学装置の実施形態におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図13】 図12のH-H'断面図である。

【図14】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図15】 電子機器の一例として液晶プロジェクタを示す断面図である。

【図16】 電子機器の他の例としてパーソナルコンピュータを示す正面図である。

【符号の説明】

1a…半導体層

1a'…チャネル領域

1b…低濃度ソース領域（ソース側LDD領域）

1c…低濃度ドレイン領域（ドレイン側LDD領域）

1d…高濃度ソース領域

1e…高濃度ドレイン領域

1f…第1蓄積容量電極

2…ゲート絶縁膜

3a…走査線

3b…容量線（第2蓄積容量電極）

4…第2層間絶縁膜

5…コンタクトホール

6a…データ線

7…第3層間絶縁膜

8…コンタクトホール

9a…画素電極

10…TFTアレイ基板

11a…第1遮光膜

12…第1層間絶縁膜

16…配向膜

20…対向基板

21…対向電極

22…配向膜

23…第2遮光膜

30…画素スイッチング用TFT

50…電気光学物質層

52…シール材

53…第3遮光膜

70…蓄積容量

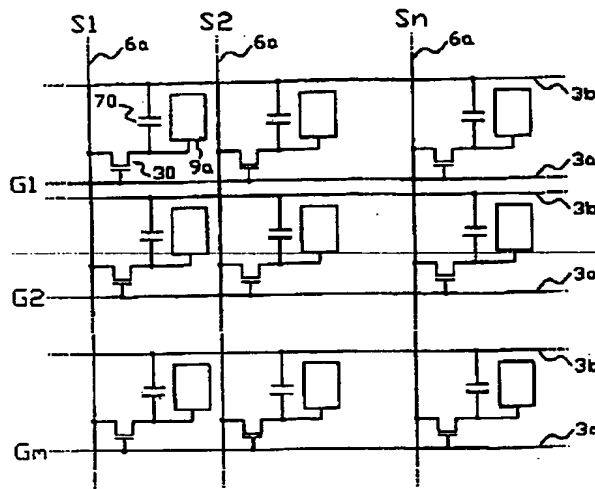
101…データ線駆動回路

103…サンプリング回路

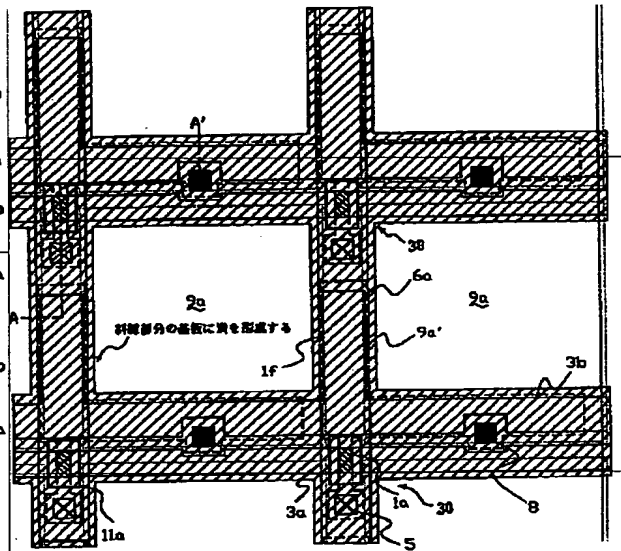
104…走査線駆動回路

(18)

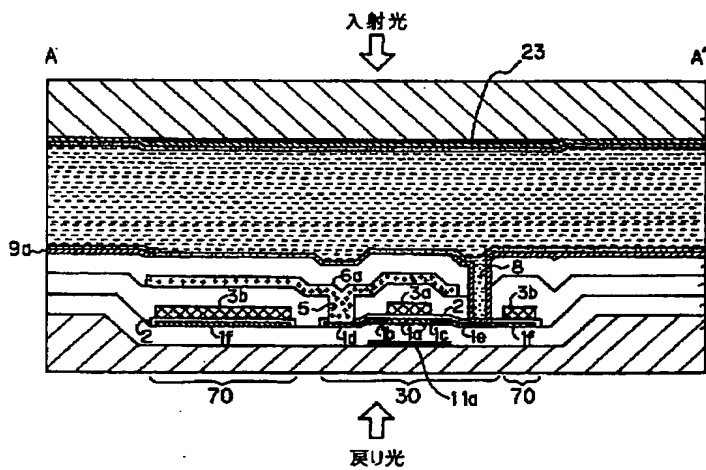
【図1】



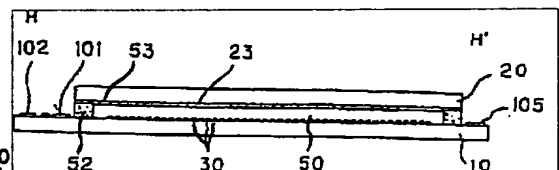
【図2】



【図3】

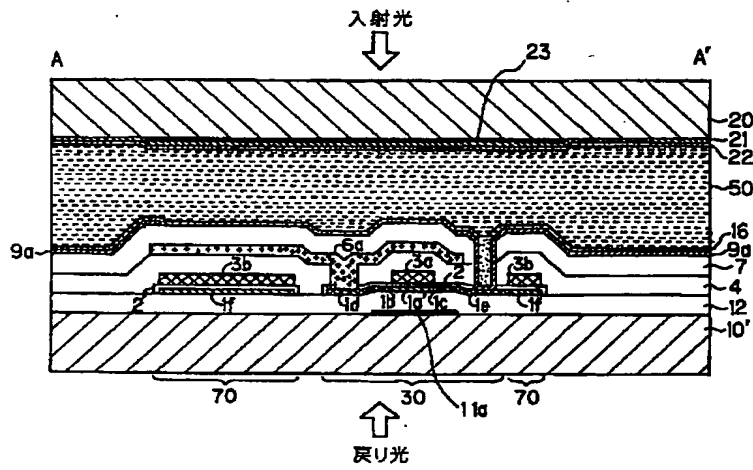


【図13】

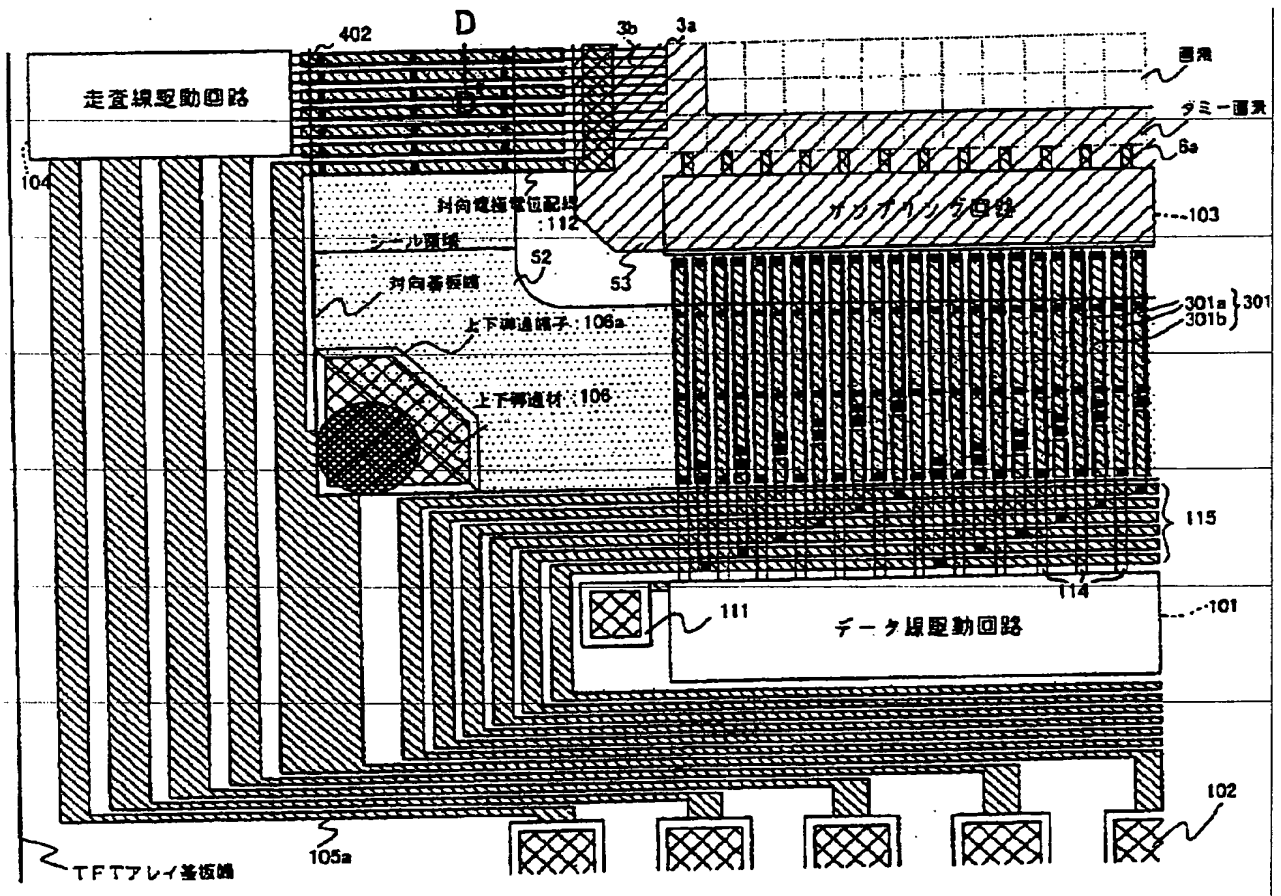


(19)

【図4】

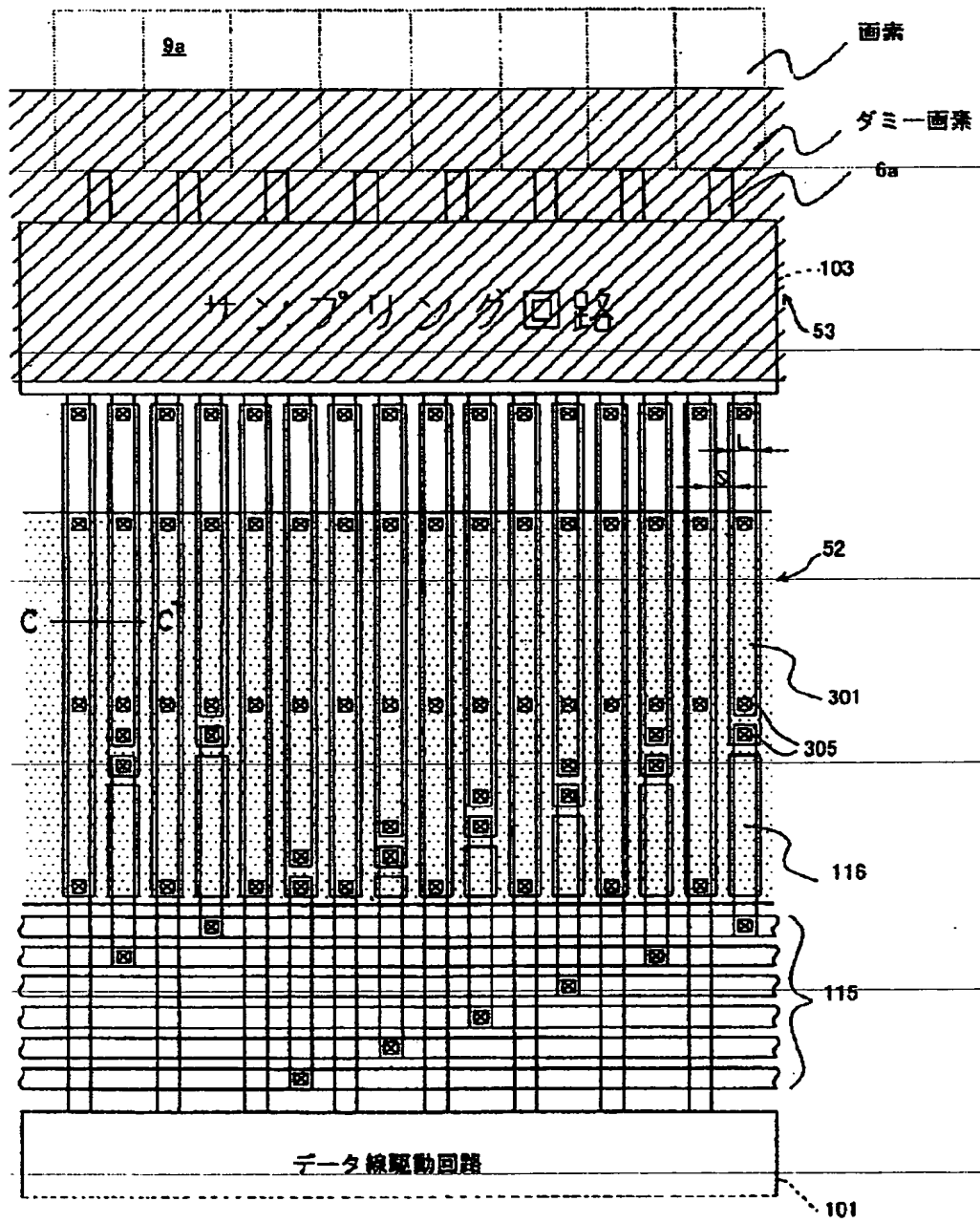


【図5】



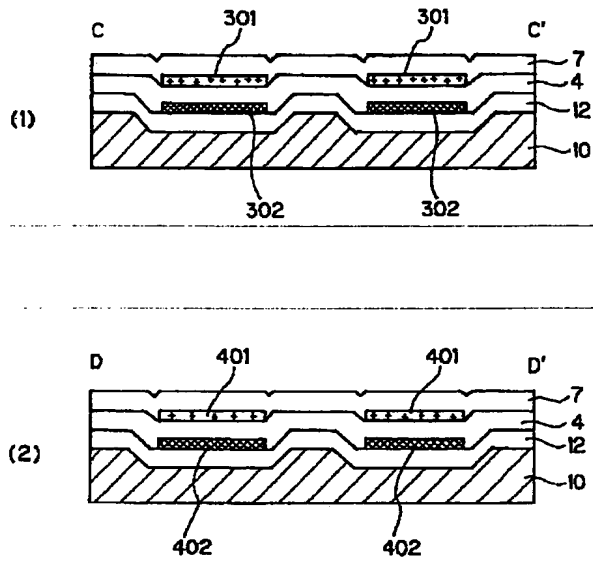
(20)

【図6】

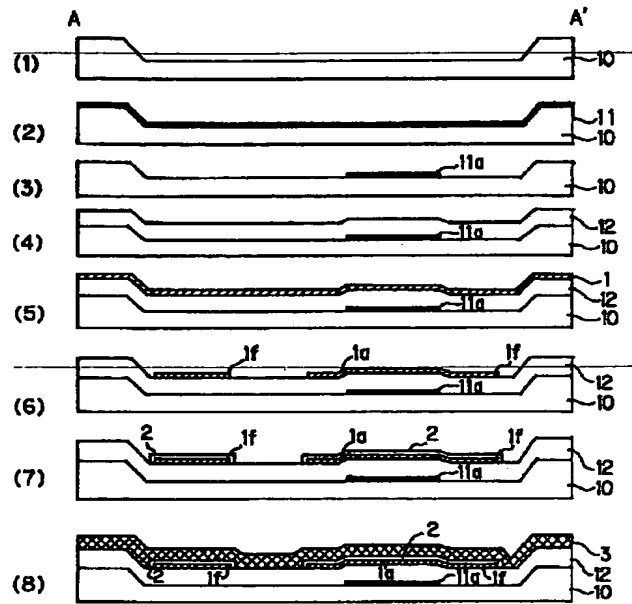


(21)

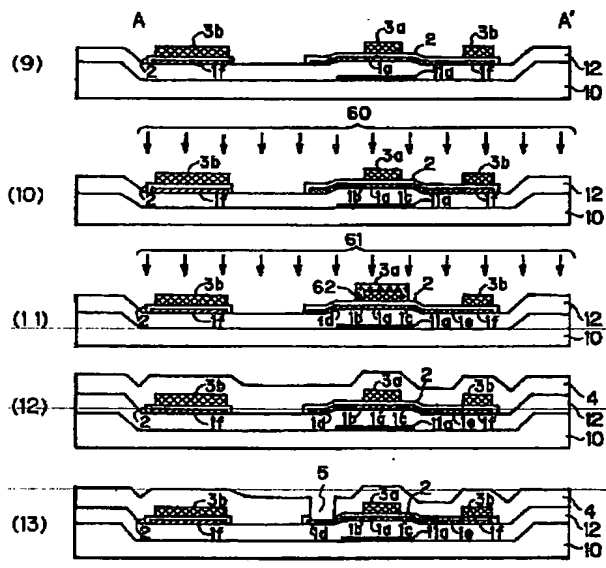
【図 7】



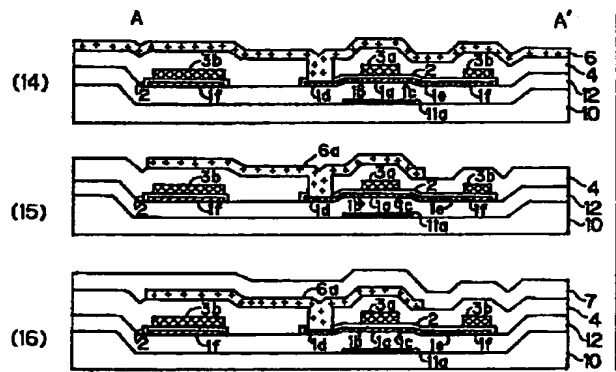
【図 8】



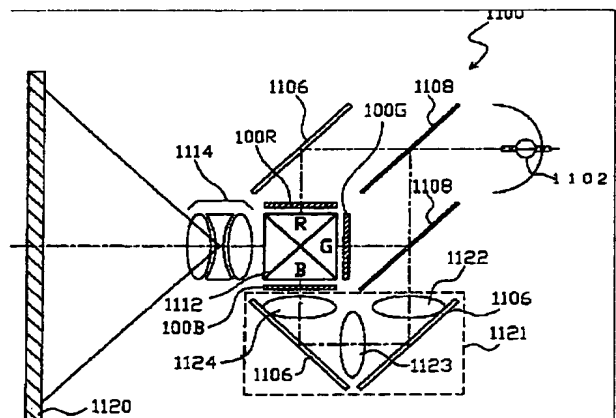
【図 9】



【図 10】

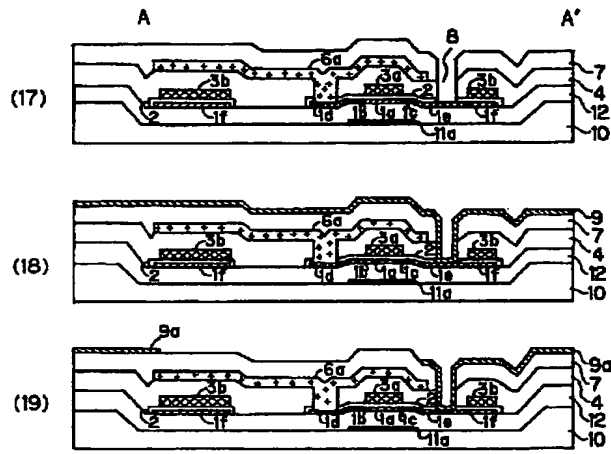


【図 15】

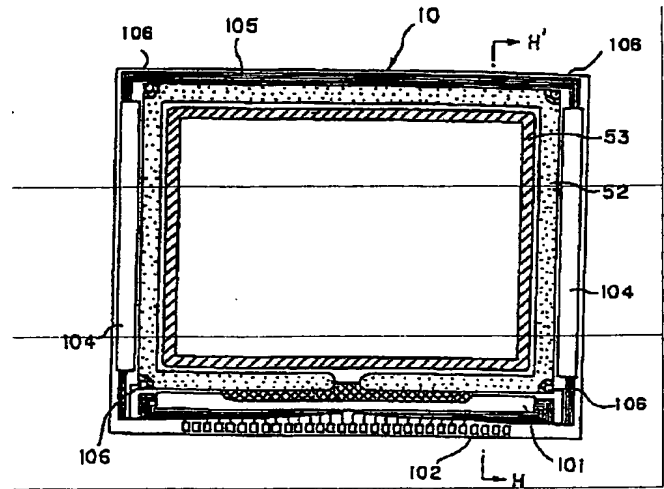


(22)

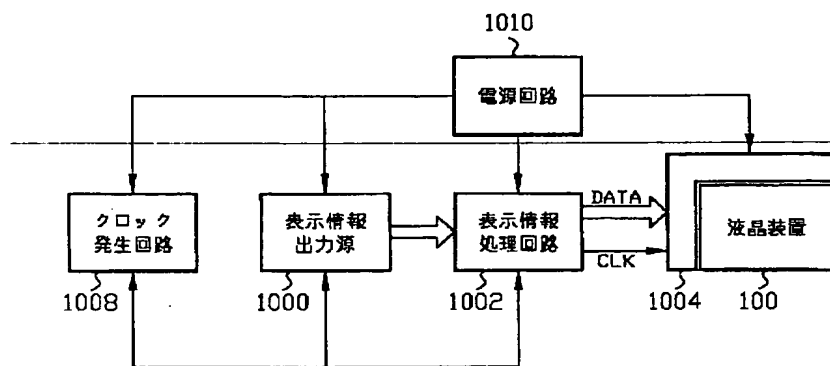
【図11】



【図12】

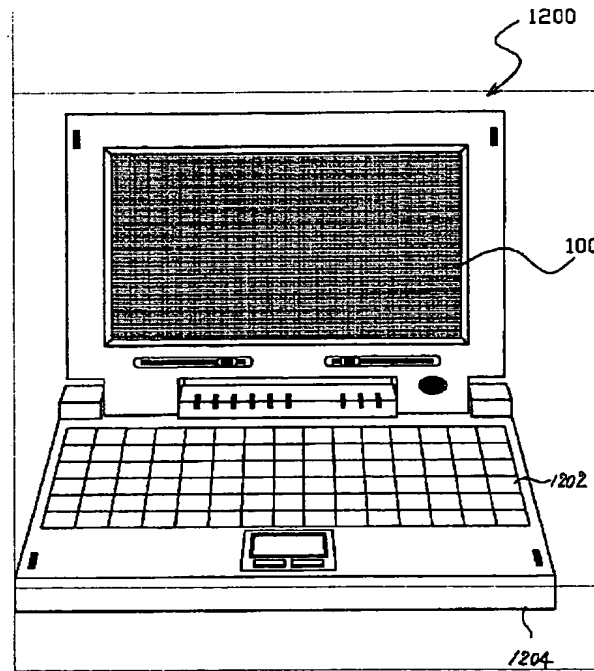


【図14】



(23)

【図16】



フロントページの続き

F ターム(参考) 2H092 GA16 GA29 GA35 GA41 GA43
 GA45 HA04 HA05 HA14 HA19
 JA24 JA25 JA29 JA35 JA43
 JA46 JB07 JB23 JB32 JB51
 JB64 JB69 KA04 KA07 KA12
 KA18 KA22 KB04 KB13 KB25
 MA05 MA07 MA13 MA17 MA25
 MA27 MA29 MA30 MA41 NA04
 NA07 NA16 NA19 PA01 PA09
 RA05

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第2区分
【発行日】平成16年9月9日(2004.9.9)

【公開番号】特開2000-81636(P2000-81636A)
【公開日】平成12年3月21日(2000.3.21)
【出願番号】特願平10-250128
【国際特許分類第7版】
G 0 2 F 1/136
【F I】
G 0 2 F 1/136 5 0 0

【手続補正書】
【提出日】平成15年8月28日(2003.8.28)
【手続補正1】
【補正対象書類名】明細書
【補正対象項目名】発明の名称
【補正方法】変更
【補正の内容】
【発明の名称】電気光学装置、電気光学装置用基板、電気光学装置の製造方法並びに電子機器

【手続補正2】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項1】

一対の基板間に電気光学物質が挟持されてなり、
該一対の基板の一方の基板の前記電気光学物質に面する側に、複数の画素電極と、該複数の画素電極に接続された複数の配線とを備えており、
前記一方の基板は、前記電気光学物質に面する側における前記複数の配線に対向する領域が少なくとも部分的に凹状に窪みを有することを特徴とする電気光学装置。

【請求項2】
一対の基板間に電気光学物質が挟持されてなり、
該一対の基板の一方の基板の前記電気光学物質に面する側に、複数の画素電極と、該複数の画素電極を夫々選択的に駆動するための複数の駆動素子と、該複数の駆動素子に接続された複数の配線とを備えており、
前記一方の基板は、前記電気光学物質に面する側における前記複数の駆動素子及び前記複数の配線に対向する領域が少なくとも部分的に凹状に窪みを有することを特徴とする電気光学装置。

【請求項3】
前記駆動素子は、薄膜トランジスタからなることを特徴とする請求項2に記載の電気光学装置。

【請求項4】
前記一方の基板の前記電気光学物質に面する側に、前記薄膜トランジスタの少なくともチャネル領域を前記一方の基板の側から見て覆う位置に設けられた遮光膜を更に備えたことを特徴とする請求項3に記載の電気光学装置。

【請求項5】
前記複数の画素電極は、マトリクス状に配置されており、

前記複数の配線は、相交差する複数の走査線及び複数のデータ線を含み、
前記一方の基板は、前記電気光学物質に面する側における前記複数の走査線及び前記複数のデータ線に対向する領域が少なくとも部分的に凹状に窪んで形成されていることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の電気光学装置。

【請求項 6】

前記複数の配線は、前記複数の画素電極に対し蓄積容量を夫々付与するために形成された容量線を含み、

前記一方の基板は、前記電気光学物質に面する側における前記容量線に対向する領域が少なくとも部分的に凹状に窪んで形成されていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の電気光学装置。

【請求項 7】

前記一方の基板は、前記電気光学物質に面する側における画素開口領域を除く前記電気光学物質に対向する全領域が凹状に窪んで形成されていることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の電気光学装置。

【請求項 8】

前記電気光学物質の周囲において前記一方の基板を相互に接着するギャップ材混入のシール材を更に備えており、

前記複数の配線は、前記電気光学物質に対向する領域に配置された主配線から前記シール材に対向する領域に延設された引き出し配線を含み、

前記一方の基板は、前記電気光学物質に面する側における前記引き出し配線に対向する領域が少なくとも部分的に凹状に窪んで形成されていることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の電気光学装置。

【請求項 9】

前記一方の基板の凹状に窪んだ側壁部分はテーパ状に形成されていることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の電気光学装置。

【請求項 10】

前記複数の駆動素子は、凹状に窪んだ部分に絶縁層を介して形成されていることを特徴とする請求項 1 乃至 9 のいずれか一項に記載の電気光学装置。

【請求項 11】

請求項 1 に記載の電気光学装置の製造方法であって、

前記一方の基板となる平らな基板上に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、

該レジストパターンを介して所定時間のエッチングを行い前記凹状に窪んだ部分を形成するエッチング工程と、

前記凹状に窪んだ部分を含む前記一方の基板上に前記複数の画素電極及び前記複数の配線を所定順序で形成する素子形成工程と

を備えたことを特徴とする電気光学装置の製造方法。

【請求項 12】

請求項 2 乃至 4 のいずれか一項に記載の電気光学装置の製造方法であって、

前記一方の基板となる平らな基板上に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、

該レジストパターンを介して所定時間のエッチングを行い前記凹状に窪んだ部分を形成するエッチング工程と、

前記凹状に窪んだ部分を含む前記一方の基板上に前記複数の画素電極、前記複数の駆動素子及び前記複数の配線を所定順序で形成する素子形成工程と

を備えたことを特徴とする電気光学装置の製造方法。

【請求項 13】

前記エッチング工程は、前記凹状に窪んだ部分の側壁をテーパ状に形成するウエットエッチング工程を含むことを特徴とする請求項 10 又は 11 に記載の電気光学装置の製造方法。

【請求項 1 4】

請求項 1 乃至 9、請求項 1 3 のいずれか一項に記載の電気光学装置を備えたことを特徴とする電子機器。

【請求項 1 5】

基板に、複数の画素電極と、該複数の画素電極に接続された複数の配線とを備えており、前記基板の前記複数の配線に対向する領域は少なくとも部分的に凹状に窪みを有することを特徴とする電気光学装置用基板。

【請求項 1 6】

基板に、複数の画素電極と、該複数の画素電極を夫々選択的に駆動するための複数の駆動素子と、該複数の駆動素子に接続された複数の配線とを備えており、前記基板の前記複数の駆動素子及び前記複数の配線に対向する領域が少なくとも部分的に凹状に窪みを有することを特徴とする電気光学装置用基板。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 1

【補正方法】変更

【補正の内容】

【0 0 0 1】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（以下適宜、TFT（Thin Film Transistor）と称す）駆動、薄膜ダイオード（以下適宜、TFD（Thin Film Diode）と称す）駆動等によるアクティブマトリクス駆動方式やパッシブマトリクス駆動方式の電気光学装置、電気光学装置用基板、電気光学装置の製造方法の技術分野に属する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 1

【補正方法】変更

【補正の内容】

【0 0 4 1】

また、本発明の第 1 の電気光学装置用基板は、基板に、複数の画素電極と、該複数の画素電極に接続された複数の配線とを備えており、前記基板の前記複数の配線に対向する領域は少なくとも部分的に凹状に窪みを有することを特徴とする。

また、本発明の第 2 の電気光学装置用基板は、基板に、複数の画素電極と、該複数の画素電極を夫々選択的に駆動するための複数の駆動素子と、該複数の駆動素子に接続された複数の配線とを備えており、前記基板の前記複数の駆動素子及び前記複数の配線に対向する領域が少なくとも部分的に凹状に窪みを有することを特徴とする。

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the electro-optic device with which the side which it comes to pinch electrooptic material between the substrates of a couple, and faces said electrooptic material of one substrate of the substrate of this couple is equipped with two or more wiring connected to two or more pixel electrodes and these two or more pixel electrodes, and it is characterized by having a hollow in a concave selectively [the field which counters said two or more near wiring with which one / said / substrate faces said electrooptic material] at least.

[Claim 2] To the side which it comes to pinch electrooptic material between the substrates of a couple, and faces said electrooptic material of one substrate of the substrate of this couple, two or more pixel electrodes, It has two or more wiring connected to two or more driver elements for driving these two or more pixel electrodes selectively, respectively, and these two or more driver elements. One [said] substrate The electro-optic device with which the field which counters said near two or more driver elements and said two or more wiring facing said electrooptic material is selectively characterized by having a hollow in a concave at least.

[Claim 3] Said driver element is an electro-optic device according to claim 2 characterized by consisting of a thin film transistor.

[Claim 4] The electro-optic device according to claim 3 characterized by equipping further the side which faces said electrooptic material of one [said] substrate with the light-shielding film of said thin film transistor which looked at the channel field from one [said] substrate side at least, and was prepared in the wrap location.

[Claim 5] One [said] substrate is an electro-optic device given in claim 1 characterized by becoming depressed and forming selectively in a concave at least the field which counters two or more of said near scanning line and said two or more near data lines which face said electrooptic material thru/or any 1 term of 4 including two or more scanning line and two or more data lines which said two or more pixel electrodes are arranged in the shape of a matrix, and carry out the phase crossover of said two or more wiring.

[Claim 6] One [said] substrate is an electro-optic device given in claim 1 characterized by becoming depressed and forming selectively in a concave at least the field which counters said capacity line of the side which faces said electrooptic material thru/or any 1 term of 5 including the capacity line formed in order that said two or more wiring might give storage capacitance to said two or more pixel electrodes, respectively.

[Claim 7] One [said] substrate is an electro-optic device given in claim 1 characterized by becoming depressed and forming in a concave all the fields that counter said electrooptic material except the near pixel opening field facing said electrooptic material thru/or any 1 term of 6.

[Claim 8] It has further the sealant of gap material mixing which pastes up the substrate of said couple mutually in the perimeter of said electrooptic material. Said two or more wiring Drawer wiring installed in the field which counters said sealant from the main wiring arranged to the field which counters said electrooptic material is included. One [said] substrate An electro-optic device given in claim 1

characterized by becoming depressed and forming selectively in a concave at least the field which counters said drawer wiring of the side which faces said electrooptic material thru/or any 1 term of 7.

[Claim 9] The side-attachment-wall part which became depressed in the concave of one [said] substrate is an electro-optic device given in claim 1 characterized by being formed in the shape of a taper thru/or any 1 term of 8.

[Claim 10] Said two or more driver elements are electro-optic devices given in claim 1 characterized by being formed in the part which became depressed in the concave through an insulating layer thru/or any 1 term of 9.

[Claim 11] The process which forms the resist pattern corresponding to the part which became depressed in said concave by the photolithography on the even substrate which is the manufacture approach of an electro-optic device according to claim 1, and turns into one [said] substrate, The etching process which forms the part which etched predetermined time through this resist pattern, and became depressed in said concave, The manufacture approach of the electro-optic device characterized by having the component formation process which forms said two or more pixel electrodes and said two or more wiring in predetermined sequence on one [containing the part which became depressed in said concave / said] substrate.

[Claim 12] The process which forms the resist pattern corresponding to the part which became depressed in said concave by the photolithography on the even substrate which is the manufacture approach of the electro-optic device a publication, and becomes claim 2 thru/or any 1 term of 4 with one [said] substrate, The etching process which forms the part which etched predetermined time through this resist pattern, and became depressed in said concave, The manufacture approach of the electro-optic device characterized by having the component formation process which forms said said two or more pixel electrodes, two or more driver elements, and said two or more wiring in predetermined sequence on one [containing the part which became depressed in said concave / said] substrate.

[Claim 13] Said etching process is the manufacture approach of the electro-optic device according to claim 10 or 11 characterized by including the wet etching process which forms the side attachment wall of the part which became depressed in said concave in the shape of a taper.

[Claim 14] Claim 1 thru/or 9, electronic equipment characterized by equipping any 1 term of claim 13 with the electro-optic device of a publication.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention belongs to the electro-optic device of the active-matrix actuation method by thin film transistor (TFT (Thin Film Transistor) is called suitably below) actuation, thin-film diode (TFD (Thin Film Diode) is called suitably below) actuation, etc., or a passive matrix actuation method, and the technical field of the manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, generally the orientation film of a couple with which rubbing processing was performed in the predetermined direction is respectively prepared on the pixel electrode and the counterelectrode between the substrates of a couple in liquid crystal equipment as an example of an electro-optic device, and electrooptic material, such as liquid crystal, is pinched in the state of predetermined orientation among these orientation film. And at the time of actuation, electric field are impressed to this electrooptic material from two electrodes, the orientation condition of electrooptic material changes and a display is performed in the image display field of an electro-optic device.

[0003] Therefore, the field which formed the driver element for pixel actuation of wiring of the data line, the scanning line, a capacity line, etc., TFT, TFD, etc., etc. in this kind of electro-optic device, The irregularity by the difference of the sum total thickness on the substrate in the fields (opening field which is each pixel which the incident light for image display passes especially) in which these wiring, driver elements, etc. are not formed Supposing it leaves even the field (orientation film) which touches electrooptic material as it is temporarily, according to extent of the irregularity, poor orientation (disclination) will occur in electrooptic material, and it will lead to degradation of the image of each pixel. In having performed rubbing processing to the orientation film more specifically formed on the concavo-convex side where each opening field became depressed, according to this irregularity, dispersion in orientation restraining force will arise on an orientation film front face, the poor orientation of electrooptic material will occur in this irregularity, and contrast will change. That is, if it is in no MARI White mode which serves as a white display at the time of electrooptic material electrical-potential-difference un-impressing, for example when the poor orientation of electrooptic material happens, a white omission phenomenon happens in the part of poor orientation, and while contrast falls, a definition will also fall. In order to maintain at a predetermined value, to go across the rubbing processing to the orientation film all over a substrate and to give uniformly and appropriately, it is dramatically important in the distance between orientation film (thickness of electrooptic material) equal and to carry out flattening of the picture element part located in an image display field, in order to avoid such a situation.

[0004] On the other hand, in this kind of electro-optic device, among both the substrates with which above-mentioned wiring, a driver element, etc. were formed, electrooptic material is enclosed with the space surrounded by the sealant, and, generally an electrooptic material layer is formed. Sealants are adhesives which consist of a photo-setting resin or thermosetting resin in order to stick both substrates

around those. Since drawer wiring of the scanning line from the image display field which counters electrooptic material to a boundary region in a seal field (field pasted up by the sealant), and the data line is especially wired although the gap between substrates is controlled by the sealant which mixed the gap material of the shape of the shape of a bead with the outer diameter of about several micrometers, or a fiber if it is a small electro-optic device, a level difference occurs by the existence of drawer wiring. Thus, since the stress concentration by gap material will pull out and it will become an open circuit of wiring and the cause of a short circuit while the gap control by gap material becomes difficult if there is a level difference, it is also dramatically important to carry out flattening of such a seal field.

[0005]

[Problem(s) to be Solved by the Invention] However, for flattening in the picture element part like the above-mentioned, it will be necessary to form one or more of two or more interlayer insulation films prepared in order to insulate between each thin film which constitutes between each thin film which constitutes a thin film transistor, and various wiring so that the thickness in the non-opening field in which wiring, a driver element, etc. were formed and which is each pixel may become thinner than the thickness in each opening field. or the thing CMP (Chemical Mechanical Polishing) processing is performed [a thing] for the top face of the interlayer insulation film in the side nearest to electrooptic material -- or it will be necessary to carry out flattening by forming SOG (Spin On Glass) with a spin coat etc.

[0006] On the other hand, it will be necessary to form so that it may become thinner than the thickness in the part in which the thickness in the part in which drawer wiring was formed pulls one or more of two or more interlayer insulation films out, and wiring is not formed for flattening in the seal field like the above-mentioned. or the thing CMP processing is performed [a thing] for the top face of the interlayer insulation film in the side nearest to a sealant -- or it will be necessary to carry out flattening by forming SOG with a spin coat etc.

[0007] Therefore, in any case, a production process is complicated and there is a trouble of causing lowering and cost lifting of the yield in it.

[0008] In having made it not much thick (to for example, about 10000A), a crack becomes easy to generate especially the insulator layer between each class. In having made it not much thin (to for example, about hundreds of A), electric field become easy to act on the other hand between two electric conduction film insulated through the insulator layer concerned. For example, the gate dielectric film of TFT and the insulator layer between films in an opposite hand act as gate dielectric film, and it is in that a back channel is formed ****, Capacity will be added. Moreover, it is fundamentally difficult to form a thin insulator layer without a defect, and it will cause decline in the rate of an excellent article.

Therefore, actually, thickening thickness of an interlayer insulation film and making it thin in the other sections partly, has the trouble of causing cost lifting while it is deficient in a design degree of freedom and a difficult activity is needed for it.

[0009] Furthermore, in this kind of electro-optic device, although the storage capacitance for giving predetermined capacity to each pixel electrode may be prepared in order to make it neither a flicker nor a cross talk occur, even if the duty ratio at the time of supplying a picture signal to each pixel electrode is small, the sum total thickness in a non-opening field will become thick, and the level difference in an above-mentioned picture element part will also increase only the part of the storage capacitance electrode which constitutes this especially in this case, or a capacity line. If such storage capacitance is especially made to the field under the data line, or the field which met the scanning line, the thickness of this part will increase and a quite big level difference will occur in a picture element part. For example, if storage capacitance is made to the field under the data line, only the thickness (thickness of the sum total of the 1st storage capacitance electrode, an insulator layer, and the 2nd storage capacitance electrode) of storage capacitance and the thickness of the data line will become higher than the picture element part in which these do not exist, and the level difference will also become about 10000A. Therefore, the flattening processing for offsetting the level difference in an image display field especially in this case has the trouble of becoming difficult and expensive.

[0010] Furthermore, a thin film transistor is set again to the electro-optic device of the mold with which

each pixel was equipped. That it should prevent that the return light from the rear face of the incident light which especially penetrated the electro-optic device for the projector application etc. carries out incidence to the channel field of a thin film transistor, and causes optical leak, although a light-shielding film may be prepared in the thin film transistor bottom (TFT array substrate side) In this case, especially, the sum total thickness in the non-opening field in which TFT was formed will become thick, and an above-mentioned level difference will also increase only the part of a light-shielding film. Therefore, the flattening processing for offsetting the level difference in an image display field especially also in this case has the trouble of becoming difficult and expensive.

[0011] This invention is made in view of the trouble mentioned above, and let it be a technical problem to offer the electro-optic device which can reduce the level difference resulting from various wiring and the existence of a component in an image display field or a seal field, and its manufacture approach using a comparatively easy configuration.

[0012]

[Means for Solving the Problem] In order that the 1st electro-optic device of this invention may solve the above-mentioned technical problem, to the side which it comes to pinch electrooptic material between the substrates of a couple, and faces said electrooptic material of one substrate of the substrate of this couple Two or more pixel electrodes, It has two or more wiring connected to two or more driver elements for driving these two or more pixel electrodes selectively, respectively, and these two or more driver elements. One [said] substrate The field which counters said near two or more driver elements and said two or more wiring facing said electrooptic material has a hollow in a concave selectively at least.

[0013] According to the 1st electro-optic device of this invention, one substrate Since the field which counters two or more wiring which can be set to the side which faces electrooptic material has a hollow in a concave selectively at least For example, in the field in which this concave convex hollow was formed, flattening of the front face of the maximum upper layer (orientation film) located in the upper parts of various kinds of wiring, such as the data line, the scanning line, and a capacity line, is carried out to the front face of the opening field (formation field of a pixel electrode) of a pixel according to that depth. for example, -- various kinds -- wiring -- **** -- a sake -- being concerned -- wiring -- constituting -- a layered product -- most -- thick -- becoming -- a field -- the -- the sum total -- thickness -- being equal -- the depth -- only -- a concave -- hollowing -- if -- this -- a field -- almost -- perfect -- flattening -- carrying out -- having . Or if the **** (various kinds of wiring is formed) opening field which counters the electrooptic material except a pixel electrode is hollowed to a concave, flattening of the opening field and non-opening field of a pixel will be carried out. If similarly the substrate field which counters drawer wiring in a seal field is hollowed to a concave, the level difference resulting from the existence of drawer wiring in a seal field will also be reduced, and it will also become possible to attain flattening in a seal field.

[0014] If a concave hollow is formed to a substrate in the phase in early stages of manufacture, since the electro-optic device concerned can be manufactured only by performing various processes, such as a subsequent CVD process, a sputtering process, a photolithography process, and an etching process, almost as [*****] usual especially according to the 1st electro-optic device of this invention, it is very advantageous. in order [in addition,] for there to be also no fear of there being no need of thickening thickness of an interlayer insulation film and making it thin in the other sections partly as mentioned above, therefore a crack arising in the part where an interlayer insulation film is thick, or a back channel occurring in a thin part -- a design degree of freedom -- markedly -- alike -- increase -- a difficult production process and an addition process become unnecessary, and the advantage of not causing cost lifting is also acquired.

[0015] Since the level difference in a picture element part can be reduced using a comparatively easy configuration in various kinds of electro-optic devices, such as a active-matrix actuation method, a passive matrix actuation method, and a segment actuation method, as mentioned above according to the 1st electro-optic device of this invention, the poor orientation of the electrooptic material which originated in the ability of rubbing processing to have not been appropriately performed with a level

difference conventionally, or originated in the deviation of the distance between substrates by the level difference directly, and had been generated can be reduced efficiently. Furthermore, since the level difference in a seal field can be reduced using a comparatively easy configuration, it also becomes possible to perform efficiently gap control between substrates and aggravation prevention of drawer wiring.

[0016] In order that the 2nd electro-optic device of this invention may solve the above-mentioned technical problem, to the side which it comes to pinch electrooptic material between the substrates of a couple, and faces said electrooptic material of one substrate of the substrate of this couple Two or more pixel electrodes, It has two or more wiring connected to two or more driver elements for driving these two or more pixel electrodes selectively, respectively, and these two or more driver elements. One [said] substrate The field which counters said near two or more driver elements and said two or more wiring facing said electrooptic material has a hollow in a concave selectively at least.

[0017] According to the 2nd electro-optic device of this invention, one substrate Since the field which counters two or more wiring and two or more driver elements which can be set to the side which faces electrooptic material has a hollow in a concave selectively at least For example, in the field in which this concave convex hollow was formed, flattening of the front face of the maximum upper layer (orientation film) located above various kinds of driver elements, such as various kinds of wiring and TFT(s), such as the data line, the scanning line, and a capacity line, and TFD, is carried out to the front face of the opening field of a pixel according to that depth. for example, -- various kinds -- wiring -- a driver element -- **** -- a sake -- being concerned -- wiring -- a driver element -- constituting -- a layered product -- most -- thick -- becoming -- a field -- the -- the sum total -- thickness -- being equal -- the depth -- only -- a concave -- hollowing -- if -- this -- a field -- almost -- perfect -- flattening -- carrying out -- having . Or if the **** (various kinds of wiring and driver element are formed) opening field which counters the electrooptic material except a pixel electrode is hollowed to a concave, flattening of the opening field and non-opening field of a pixel will be carried out. If similarly the substrate field which counters drawer wiring in a seal field is hollowed to a concave, the level difference resulting from the existence of drawer wiring in a seal field will also be reduced, and flattening in a seal field will be attained.

[0018] moreover -- if a concave hollow is formed to a substrate in the phase in early stages of manufacture, since the electro-optic device concerned can be manufactured only by performing various subsequent processes almost as [*****] usual like the case of the 1st above-mentioned electro-optic device according to the 2nd electro-optic device of this invention -- very much -- advantageous -- a design degree of freedom -- markedly -- alike -- increase -- a difficult production process and an addition process become unnecessary, and the advantage of not causing cost lifting is also acquired. And in the electro-optic device of various kinds of active-matrix actuation methods using driver elements, such as TFT and TFD, since the level difference in a picture element part can be reduced using a comparatively easy configuration, the poor orientation of electrooptic material can be reduced efficiently. Furthermore, since the level difference in a seal field can be reduced using a comparatively easy configuration, gap control becomes easy and the high definition display of it is attained. Furthermore, it also becomes possible to perform efficiently gap control between substrates and aggravation prevention of drawer wiring.

[0019] Said driver element consists of a thin film transistor in the mode of 1 of the 2nd electro-optic device of this invention.

[0020] According to this mode, the electro-optic device of the TFT active actuation method to which electrooptic material actuation is performed for every pixel electrode by the thin film transistor is realized.

[0021] In this mode, the side which faces said electrooptic material of one [said] substrate may be further equipped with the light-shielding film of said thin film transistor which looked at the channel field from one [said] substrate side at least, and was prepared in the wrap location.

[0022] Thus, if constituted, a light-shielding film can prevent the situation of TFT in which the return light from one substrate side etc. carries out incidence to the channel field concerned since a channel

field is seen from one substrate side at least and it is respectively prepared in one substrate in the wrap location, and the property of TFT will not deteriorate according to generating of a photocurrent.

[0023] In the mode of 1 of the 1st electro-optic device of this invention, or other modes of the 2nd electro-optic device, respectively said two or more pixel electrodes It is arranged in the shape of a matrix. Said two or more wiring Including two or more scanning line and two or more data lines which carry out a phase crossover, selectively [the field which counters two or more of said near scanning line and said two or more near data lines which face said electrooptic material] at least, one [said] substrate becomes depressed in a concave, and is formed.

[0024] this voice -- if it depends like, electrooptic material actuation will be performed for every pixel electrode -- the electro-optic device of active or a passive matrix actuation method is realized. And selectively [the field which counters the near scanning line and the near data line with which one substrate faces electrooptic material] at least, since it becomes depressed in a concave and is formed, in the field in which this concave convex hollow was formed, flattening of the front face of the maximum upper layer located above wiring of the data line and the scanning line is carried out to the front face of the opening field of a pixel according to that depth. For example, in the electro-optic device of a TFT active-matrix actuation method, it also becomes possible to carry out flattening of the field where the data line and the scanning line with the general largest level difference cross to the opening field of a pixel.

[0025] In other modes of the 1st or 2nd electro-optic device of this invention, including the capacity line formed, respectively in order that said two or more wiring might give storage capacitance to said two or more pixel electrodes, respectively, selectively [the field which counters said capacity line of the side which faces said electrooptic material] at least, one [said] substrate becomes depressed in a concave, and is formed.

[0026] The storage capacitance by the capacity line is given to the pixel electrode, and even if the duty ratio at the time of supplying a picture signal to each pixel electrode is small, a flicker and a cross talk can be prevented from generating according to this mode. And selectively [the field which counters the near capacity line by which one substrate faces electrooptic material] at least, since it becomes depressed in a concave and is formed, in the field in which this concave convex hollow was formed, flattening of the front face of the maximum upper layer located above a capacity line is carried out according to that depth. Therefore, preventing generating of the level difference resulting from existence of a capacity line, since image quality can be improved with storage capacitance, it is advantageous.

[0027] In other modes of the 1st or 2nd electro-optic device of this invention, all the fields that counter said electrooptic material except the near pixel opening field facing said electrooptic material become depressed in a concave, and one [said] substrate is formed, respectively.

[0028] Since all the fields (namely, **** opening field in which various kinds of wiring and various kinds of driver elements are formed) that counter the electrooptic material except a pixel opening field are become depressed and formed in the concave according to this mode, flattening of the whole image display field is attained.

[0029] In other modes of the 1st or 2nd electro-optic device of this invention, it has further the sealant of gap material mixing which pastes up the substrate of said couple mutually in the perimeter of said electrooptic material, respectively. Said two or more wiring includes drawer wiring installed in the field which counters said sealant from the main wiring arranged to the field which counters said electrooptic material. One [said] substrate The field which counters said drawer wiring of the side which faces said electrooptic material is selectively become depressed and formed in the concave at least.

[0030] According to this mode, the level difference which originated in the existence of drawer wiring in a seal field since it became depressed in the concave and was formed is also reduced for the substrate field where one substrate counters drawer wiring in a seal field, and flattening in a seal field is attained. Thus, since the level difference in a seal field can be reduced using a comparatively easy configuration, control of the gap between substrates by the gap material mixed in the sealant becomes easy, and a high definition display is attained by controlling the orientation condition of electrooptic material with a more sufficient precision. The field in which drawer wiring was formed serves as a convex front face

relatively simultaneously, and it becomes possible to prevent the situation where the stress by gap material concentrates on the convex surface field concerned, and pulls out, and wiring disconnects and short-circuits.

[0031] In other modes of the 1st or 2nd electro-optic device of this invention, the side-attachment-wall part which became depressed in the concave of one [said] substrate is formed in the shape of a taper, respectively.

[0032] Since the side attachment wall of the part which became depressed in the concave is formed in the shape of a taper according to this mode, in the part which became depressed in the concave, at an after process, it is formed, for example, the polish recon film, a resist, etc. do not remain. For this reason, flattening can be carried out certainly. Moreover, if the side attachment wall of the part which became depressed in the concave in the seal field especially is formed in the shape of a taper, it will also become possible to form certainly and comparatively easily the wiring part which crosses and takes about a side attachment wall towards the circumference circuit formed on the field which has not become depressed in a concave from drawer wiring passing through the bottom of a seal field by thin film coating technology.

[0033] As for said two or more driver elements, in the 1st of this invention, and other 2nd mode, it is desirable to be formed in the part which became depressed in the concave through an insulating layer.

[0034] Since a direct-drive component is not formed in the part which became depressed in the concave according to this mode, the effect of the active layer on the driver element by the part which became depressed in the concave can be prevented. For example, since the part which became depressed in the concave is generally hollowed by etching, it is ruined. If a direct active layer is formed in this that *****, degradation of properties, such as the property of a driver element, for example, a gap of V_{th} , lowering of the mobility of an active layer, and lifting of off leak, will take place. Therefore, if an insulating layer like silicon oxide is formed in the part which became depressed in the concave and an active element is formed on it, the above-mentioned problem can be prevented.

[0035] In order that the manufacture approach of the 1st electro-optic device of this invention may solve the above-mentioned technical problem The process which forms the resist pattern corresponding to the part which became depressed in said concave by the photolithography on the even substrate which is the approach of manufacturing the 1st electro-optic device of this invention mentioned above, and turns into one [said] substrate, It has the component formation process which forms said two or more pixel electrodes and said two or more wiring in predetermined sequence on one [containing the etching process which forms the part which etched predetermined time through this resist pattern, and became depressed in said concave, and the part which became depressed in said concave / said] substrate.

[0036] According to the manufacture approach of the 1st electro-optic device of this invention, the resist pattern corresponding to the part which became depressed in the concave is first formed by the photolithography on one substrate and the becoming even substrate. Then, etching is performed only for predetermined time through this resist pattern, and the part which became depressed in the concave is formed. Therefore, the depth and thickness of a part which became depressed in the concave are controllable by the time management of etching. In this etching process, when using dry etching, it can puncture mostly as an exposure dimension. Next, while contains the part which became depressed in the concave, and two or more pixel electrodes and two or more wiring are formed in predetermined sequence on a substrate. Therefore, the 1st electro-optic device of this invention mentioned above can be manufactured comparatively easily. If a concave hollow is especially formed to a substrate in the phase in early stages of manufacture, since the 1st electro-optic device concerned can be manufactured only by performing various subsequent processes almost as [*****] usual, it is very advantageous.

[0037] In order that the manufacture approach of the 2nd electro-optic device of this invention may solve the above-mentioned technical problem The process which forms the resist pattern corresponding to the part which became depressed in said concave by the photolithography on the even substrate which is the approach of manufacturing the 2nd electro-optic device of this invention mentioned above, and turns into one [said] substrate, The etching process which forms the part which etched predetermined time through this resist pattern, and became depressed in said concave, It has the component formation

process which forms said two or more pixel electrodes, two or more driver elements, and said two or more wiring in predetermined sequence on one [containing the part which became depressed in said concave / said] substrate.

[0038] According to the manufacture approach of the 2nd electro-optic device of this invention, the resist pattern corresponding to the part which became depressed in the concave is first formed by the photolithography on one substrate and the becoming even substrate. Then, etching is performed only for predetermined time through this resist pattern, and the part which became depressed in the concave is formed. Therefore, the depth and thickness of a part which became depressed in the concave are controllable by the time management of etching. In this etching process, when using anisotropy dry etching, it can puncture mostly as an exposure dimension. Next, while contains the part which became depressed in the concave, and two or more pixel electrodes, two or more driver elements, and two or more wiring are formed in predetermined sequence on a substrate. Therefore, the 2nd electro-optic device of this invention mentioned above can be manufactured comparatively easily. If a concave hollow is especially formed to a substrate in the phase in early stages of manufacture, since the 2nd electro-optic device concerned can be manufactured only by performing various subsequent processes almost as [*****] usual, it is very advantageous.

[0039] In the mode of 1 of the manufacture approach of the 1st or 2nd electro-optic device of this invention, said etching process includes the wet etching process which forms the side attachment wall of the part which became depressed in said concave in the shape of a taper, respectively.

[0040] According to this mode, the side attachment wall of the part which became depressed in the concave is formed in the shape of a taper of a wet etching process. Thus, if the side attachment wall of the part which became depressed in the concave is formed in the shape of a taper, in the part which became depressed in the concave, at an after process, it will be formed, for example, the polish recon film etc. will not remain. For this reason, flattening of this part can be carried out certainly. Since the side attachment wall of the part which became depressed in the concave in the seal field especially is a taper-like, it also becomes possible to form certainly and comparatively easily the wiring part which crosses and takes about a side attachment wall towards the circumference circuit formed on the field which has not become depressed in a concave from drawer wiring passing through the bottom of a seal field by thin film coating technology.

[0041] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0042]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing.

[0043] (Configuration in the image display field of an electro-optic device) With the actuation, the configuration in the image display field of the electro-optic device by this invention is explained with reference to drawing 4 from drawing 1. Drawing 1 is equal circuits, such as various components in two or more pixels formed in the shape of [which constitutes the image display field of an electro-optic device] a matrix, and wiring. Drawing 2 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, the pixel electrode, the light-shielding film, etc. were formed adjoins each other, and drawing 3 is the A-A' sectional view of drawing 2. Moreover, drawing 4 is a sectional view corresponding to the A-A' cross section of drawing 2 in the example of a comparison. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, contraction scales are made to have differed for each class or every each part material in drawing 3 and drawing 4.

[0044] In drawing 1, two or more pixels formed in the shape of [which constitutes the image display field of the electro-optic device by the gestalt of this operation] a matrix consist of TFT30 for controlling pixel electrode 9a and the pixel electrode 9a concerned, and data-line 6a to which a picture signal is supplied is electrically connected to the source concerned of TFT30. The picture signals S1, S2, --, Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoin each other. Moreover, scanning-line 3a is

electrically connected to the gate of TFT30, and it consists of predetermined timing so that the scan signals G1, G2, --, Gm may be impressed to scanning-line 3a in pulse line sequential at this order. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in electrooptic material through pixel electrode 9a is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later). When the orientation and order of molecular association change with the voltage levels impressed, electrooptic material modulates light and enables a gradation display. According to the electrical potential difference impressed when it was in no MARI White mode, passage of this electrooptic material part of incident light is made impossible, if it is in NOMA reeve rack mode, according to the impressed electrical potential difference, passage of this electrooptic material part of incident light will be enabled, and light with the contrast according to a picture signal will carry out outgoing radiation from an electro-optic device as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the electrooptic material capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode. For example, as for the electrical potential difference of pixel electrode 9a, only time amount also with triple figures longer than the time amount to which the source electrical potential difference was impressed is held with storage capacitance 70. Thereby, it is improved further and a maintenance property can realize the high electro-optic device of a contrast ratio.

[0045] In drawing 2, on the TFT array substrate of an electro-optic device, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a, scanning-line 3a, and capacity line 3b are prepared respectively along the boundary of pixel electrode 9a in every direction. Electrical installation of the data-line 6a is carried out to the below-mentioned source field among semi-conductor layer 1a which consists of polish recon film etc. through a contact hole 5, and electrical installation of the pixel electrode 9a is carried out to the below-mentioned drain field among semi-conductor layer 1a through the contact hole 8. Moreover, scanning-line 3a is arranged so that a channel field (field of the slash of drawing Nakamigi going down) may be countered among semi-conductor layer 1a, and scanning-line 3a functions as a gate electrode.

[0046] Capacity line 3b has the main track section mostly extended in the shape of a straight line along with scanning-line 3a, and the lobe which projected in the preceding paragraph side (inside of drawing, facing up) along with data-line 6a from the part which intersects data-line 6a. [0047] Moreover, 1st light-shielding film 11a is prepared in the island-shape field of the rectangle shown by the thick wire in drawing, respectively. more -- concrete -- island-shape 1st light-shielding film 11a -- respectively -- every -- TFT -- a channel field is seen from a TFT array substrate side at least, and it is prepared in the wrap location for every pixel, respectively.

[0048] Especially with the gestalt of this operation, the TFT array substrate is become depressed and formed in the concave in the field shown with the slash of the drawing 2 Nakamigi riser. The configuration which became depressed in this concave is behind explained in full detail with reference to drawing 2 and drawing 3.

[0049] Next, as shown in the sectional view of drawing 3, the electro-optic device is equipped with the TFT array substrate 10 which constitutes an example of the substrate of while it is transparency, and the opposite substrate 20 which it is the transparency by which opposite arrangement is carried out at this, and also constitutes an example of the substrate of a way. The TFT array substrate 10 consists for example, of a quartz substrate, and the opposite substrate 20 consists of a glass substrate or a quartz substrate. Pixel electrode 9a is prepared in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the upside. Pixel electrode 9a consists of transparent conductive thin films, such as for example, ITO film (Indium Tin Oxide film). Moreover, the orientation film 16 consists of organic thin films, such as for example, a polyimide thin film.

[0050] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode (common electrode) 21 is formed, and the orientation film 22 with which predetermined orientation

processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive thin films, such as for example, ITO film. Moreover, the orientation film 22 consists of organic thin films, such as a polyimide thin film.

[0051] As shown in the TFT array substrate 10 at drawing 3, TFT30 for pixel switching which carries out switching control of each pixel electrode 9a is formed in the location which adjoins each pixel electrode 9a.

[0052] As further shown in the opposite substrate 20 at drawing 3, the 2nd light-shielding film 23 called a black mask or a black matrix is formed in fields other than the opening field (namely, field which incident light penetrates actually and contributes effective in a display in an image display field) of each pixel. For this reason, incident light trespasses neither upon channel field 1a' of semi-conductor layer 1a of TFT30 for pixel switching, nor the LDD (Lightly Doped Drain) fields 1b and 1c from the opposite substrate 20 side. Furthermore, the 2nd light-shielding film 23 has functions, such as improvement in contrast, and color mixture prevention of color material.

[0053] Thus, it is constituted, and between the TFT array substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and a counterelectrode 21 may meet, electrooptic material is enclosed with the space surrounded by the below-mentioned sealant (refer to drawing 1212 and drawing 13), and the electrooptic material layer 50 is formed. The electrooptic material layer 50 takes a predetermined orientation condition with the orientation film 16 and 22 in the condition that the electric field from pixel electrode 9a are not impressed. The electrooptic material layer 50 consists of electrooptic material which mixed a kind or some kinds of pneumatic electrooptic material. It is the adhesives which consist of a photo-setting resin or thermosetting resin in order that a sealant may stick two substrates 10 and 20 around those, and spacers, such as glass fiber for making distance between both substrates into a predetermined value or a glass bead, are mixed.

[0054] In the mesh-like field to which the slash of the drawing 2 Nakamigi riser which contains TFT30 in data-line 6a, scanning-line 3a, and a capacity line 3b list especially with the gestalt of this operation in drawing 2 and drawing 3 was drawn The TFT array substrate 10 is become depressed and formed in the concave, and the TFT array substrate 10 is mostly formed relatively convex in the opening field (namely, field where the slash in drawing 2 is not drawn) corresponding to the other pixel electrode 9a (to plane).

[0055] Since the TFT array substrate 10 is become depressed and formed in the concave in this way, in the field in which this concave convex hollow was formed, flattening of the front face of the orientation film 16 located above TFT30 at data-line 6a, scanning-line 3a, and a capacity line 3b list is carried out to the front face of the orientation film 16 in the opening field of a pixel according to that depth.

[0056] a book -- operation -- a gestalt -- **** -- especially -- the data line -- six -- a -- the scanning line -- three -- a -- and -- capacity -- a line -- three -- b -- a list -- TFT -- 30 -- **** -- a sake -- these -- various kinds -- wiring -- TFT -- 30 -- constituting -- a layered product -- most -- thick -- becoming -- a field -- the -- the sum total -- thickness -- being equal -- the depth -- only -- a concave -- hollowing -- **** -- since -- this -- most -- thick -- becoming -- a field -- almost -- perfect -- flattening -- carrying out -- having . Moreover, the **** opening field which counters the electrooptic material layer 50 except pixel electrode 9a is hollowed to a concave, and flattening of the opening field and non-opening field of a pixel is carried out by that of *****.

[0057] However, even if it is arbitrary whether the height of the orientation film 16 in which field is doubled with the height of the orientation film 16 in an opening field, for example, it doubles the height of the orientation film 16 above the storage capacitance 70 of the left-hand side in drawing 3, it gives up, and you may make it double the height of the orientation film 16 above scanning-line 3a from which it separated from TFT30, or capacity line 3b. Furthermore, it is arbitrary whether the field of TFT array substrate 10 throat is hollowed to a concave, for example, it may form a hollow only in the field which counters data-line 6a, and may form a hollow only in the field which counters TFT30. If some and a hollow are formed to the field from which it separated from the opening field in any case, the effectiveness of flattening according to the formation field and the depth of this hollow will be acquired. Therefore, it is set as a design matter on which in what kind of the depth becomes depressed to which

field, and it forms in this way takes into consideration the pixel numerical aperture (ratio to the non-opening field of the opening field of a pixel) demanded actually, a definition, a rate ball, etc.

[0058] And since it is constituted in this way and the electro-optic device of the gestalt of this operation can manufacture the electro-optic device concerned only by performing various processes, such as a CVD process for forming the 1st subsequent light-shielding film, a semi-conductor layer, the polish recon film, a metal membrane, an interlayer insulation film, etc., a sputtering process, a photolithography process, and an etching process, almost as [*****] usual if a concave hollow is formed to the TFT array substrate 10 in the phase in early stages of manufacture, it is very advantageous. in order [in addition,] for there to be also no fear of there being no need of thickening thickness of an interlayer insulation film and making it thin in the other sections partly as mentioned above, therefore a crack arising in the part where an interlayer insulation film is thick, or a back channel occurring in a thin part -- a design degree of freedom -- markedly -- alike -- increase -- a difficult production process and an addition process become unnecessary, and the advantage of not causing cost lifting is also acquired.

[0059] On the other hand, in the example of a comparison shown in drawing 4 , the concave hollow is not formed in TFT array substrate 10' at all. Therefore, the thickness of the electrooptic material layer 50 is changing substantially in the opening field and the non-opening field, the disclination of electrooptic material occurs greatly in the level difference between both this field, the adverse effect by disclination will also reach an opening field, and electrooptic material will degrade [adverse effect] image quality so that clearly from drawing 4 . Or it will be necessary to extend the 2nd light-shielding film 23 on the opposite substrate 20 to a sake, and to narrow the opening field concerned making it this adverse effect be less than an opening field, and a display image will become dark as a result.

[0060] Since generating of the disclination of the electrooptic material layer 50 resulting from a level difference can be controlled efficiently as mentioned above according to the gestalt of this operation, while the disclination of the electrooptic material layer 50 can reduce the adverse effect which it has on a display image and extends the opening field of a picture element part eventually, the image display of high quality becomes possible.

[0061] As shown in drawing 3 , in the location which counters TFT30 for pixel switching respectively, 1st light-shielding film 11a is prepared in island shape for every pixel between the TFT array substrate 10 and each TFT30 for pixel switching. 1st light-shielding film 11a consists of Si containing at least one of Ti, Cr, W, Ta, Mo, and Pd which are a desirable opaque refractory metal, such as a metal simple substance, an alloy, and metal silicide. If constituted from such an ingredient, 1st light-shielding film 11a is destroyed by high temperature processing in the formation process of TFT30 for pixel switching performed after the formation process of 1st light-shielding film 11a on the TFT array substrate 10, or it can avoid fusing by it. Moreover, the polish recon film may be used as 1st light-shielding film 11a. Or the polish recon film may be formed in the upper layer of said refractory metal, and acid-resisting processing may be performed. Thus, with this operation gestalt, since 1st light-shielding film 11a is formed, the situation in which the return light from the TFT array substrate 10 side etc. carries out incidence to channel field 1a' of TFT30 for pixel switching or the LDD fields 1b and 1c can be prevented, and the property of TFT30 for pixel switching does not deteriorate according to generating of a photocurrent.

[0062] Furthermore, the 1st interlayer insulation film 12 is formed between 1st light-shielding film 11a and two or more TFT30 for pixel switching. The 1st interlayer insulation film 12 is formed in order to carry out the electric insulation of the semi-conductor layer 1a which constitutes TFT30 for pixel switching from 1st light-shielding film 11a. Furthermore, the 1st interlayer insulation film 12 also has a function as substrate film for TFT30 for pixel switching by being formed all over the TFT array substrate 10. That is, it has the function to prevent degradation of the property of TFT30 for pixel switching with the dry area at the time of polish of the front face of the TFT array substrate 10, the dirt which remains after washing. Since a direct-drive component is not formed in the part which became depressed in the concave, degradation of properties, such as the effect of the active layer on the driver element by the part which became depressed in the concave, i.e., a gap of V_{th} , lowering of the mobility

of an active layer, and lifting of off-leak, can be prevented. The 1st interlayer insulation film 12 consists of high insulation glass, such as NSG (non doped silicate glass), PSG (phosphorus silicate glass), BSG (boron silicate glass), and BPSG (boron phosphorus silicate glass), or an oxidation silicone film, a silicon nitride film, etc. The 1st interlayer insulation film 12 can also protect the situation where 1st light-shielding film 11a pollutes the TFT30 grade for pixel switching.

[0063] Storage capacitance 70 consists of gestalten of this operation by installing gate dielectric film 2 from the location which counters scanning-line 3a, using as a dielectric film, installing semi-conductor film 1a, considering as the 1f of the 1st storage capacitance electrodes, and using as the 2nd storage capacitance electrode a part of capacity line 3b which counters these further. More, it is installed in the bottom of data-line 6a and scanning-line 3a, and into the capacity line 3b part similarly extended along with data-line 6a and scanning-line 3a, opposite arrangement is carried out through an insulator layer 2, and let high concentration drain field 1e of semi-conductor layer 1a be the 1f (semi-conductor layer) of the 1st storage capacitance electrodes at the detail. Since especially the insulator layer 2 as a dielectric of storage capacitance 70 is exactly gate dielectric film 2 of TFT30 formed on the polish recon film of high temperature oxidation, it can be thinly made into the insulator layer of high pressure-proofing, and can constitute storage capacitance 70 from small area as mass storage capacitance comparatively.

[0064] Consequently, since the storage capacitance of pixel electrode 9a can be increased using effectively the tooth space which separated from an opening field called the field (namely, field in which capacity line 3b was formed) which the disclination of electrooptic material generates along with the field under data-line 6a, and scanning-line 3a, the bright high electro-optic device of a contrast ratio is realizable with small and high definition liquid crystal equipment.

[0065] In drawing 3 TFT30 for pixel switching It has LDD (Lightly Doped Drain) structure. Channel field 1a' of semi-conductor layer 1a in which a channel is formed of the electric field from scanning-line 3a and concerned scanning-line 3a, Gate dielectric film 2, data-line 6a which insulate scanning-line 3a and semi-conductor layer 1a, 1d list of high concentration source fields of low concentration source field (source side LDD field) 1b of semi-conductor layer 1a and low concentration drain field (drain side LDD field) 1c, and semi-conductor layer 1a is equipped with high concentration drain field 1e. One to which it corresponds of two or more pixel electrode 9a is connected to high concentration drain field 1e. The drain fields 1c and 1e are formed in source field 1b and 1d list to semi-conductor layer 1a like the after-mentioned by doping the dopant the object for n molds of predetermined concentration, or for p molds according to whether the channel of n mold or p mold is formed. TFT of an n-type channel has the advantage that working speed is quick, and it is used as TFT30 for pixel switching which is the switching element of a pixel in many cases. the gestalt of this operation -- especially -- data-line 6a -- low [, such as aluminum,] -- it consists of thin films of protection-from-light nature, such as alloy film, such as metal membrane metallurgy group silicide [****]. Moreover, on scanning-line 3a, gate dielectric film 2, and the 1st interlayer insulation film 12, the 2nd interlayer insulation film 4 with which the contact hole 8 which leads to the contact hole 5 and high concentration drain field 1e which lead to 1d of high concentration source fields was formed respectively is formed. Electrical installation of the data-line 6a is carried out to 1d of high concentration source fields through the contact hole 5 to this source field 1b. Furthermore, on data-line 6a and the 2nd interlayer insulation film 4, the 3rd interlayer insulation film 7 with which the contact hole 8 to high concentration drain field 1e was formed is formed. Electrical installation of the pixel electrode 9a is carried out to high concentration drain field 1e through the contact hole 8 to this high concentration drain field 1e. The above-mentioned pixel electrode 9a is prepared in the top face of the 3rd interlayer insulation film 7 constituted in this way. in addition, pixel electrode 9a and high concentration drain field 1e relay the same aluminum film as data-line 6a, and the same polish recon film as scanning-line 3b -- it may be made to carry out electrical installation.

[0066] Although TFT30 for pixel switching has LDD structure as mentioned above preferably, it may be TFT of the self aryne mold which may have the offset structure which does not drive impurity ion into low concentration source field 1b and low concentration drain field 1c, drives in impurity ion by high concentration by using gate electrode 3a as a mask, and forms the high concentration source and a drain field in self align.

[0067] Moreover, although considered as the single gate structure which has arranged one gate electrode 3a of TFT30 for pixel switching between 1d of source-drain fields, and 1e with the gestalt of this operation, two or more gate electrodes may be arranged among these. Under the present circumstances, to each gate electrode, the same signal is made to be impressed. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a channel and a source-drain field joint can be prevented, and the current at the time of OFF can be reduced. If at least one of these gate electrodes is made into LDD structure or offset structure, the OFF state current can be reduced further and the stable switching element can be obtained.

[0068] Generally here polish recon layers, such as channel field 1a' of semi-conductor layer 1a, and low concentration source field 1b, low concentration drain field 1c. Although a photocurrent will occur according to the photo-electric-translation effectiveness which polish recon has and the transistor characteristics of TFT30 for pixel switching will deteriorate if light carries out incidence. With the gestalt of this operation, since data-line 6a is formed from the metal thin film of protection-from-light nature, such as aluminum, so that scanning-line 3a may be covered from an upside, the incidence of the incident light to channel field 1a' of semi-conductor layer 1a and the LDD fields 1b and 1c can be prevented effectively at least. Moreover, as mentioned above, since 1st light-shielding film 11a is prepared in the TFT30 bottom for pixel switching, the incidence of the return light to channel field 1a' of semi-conductor layer 1a and the LDD fields 1b and 1c can be prevented effectively at least.

[0069] Especially with the gestalt of this operation, 1st light-shielding film 11a is divided by the amount of [two or more] insular part. As compared with the case of the light-shielding film which followed, for example, was prepared the shape of a grid, and in the shape of a stripe, since it is far small, the area of the part formed as one can ease substantially the stress generated in a light-shielding film according to a difference of the physical properties between a light-shielding film and its contiguity film. For this reason, film peeling in 1st light-shielding film 11a, film deformation, or generating prevention of a crack is achieved. Simultaneously, the situation where the property of TFT30 for pixel switching deteriorates by own stress of 1st light-shielding film 11a can be prevented. In addition, 1st light-shielding film 11a may be formed the shape of a stripe, and in the shape of a matrix, without forming in island shape.

[0070] Furthermore, electrical installation of two or more parts for the insular part of 1st light-shielding film 11a may be carried out to a part for the constant source of potential, or a part by volume. For example, electrical installation of the 1st light-shielding film 11a may be carried out to capacity line 3b made into constant potential, respectively. Thus, if constituted, potential fluctuation of 1st light-shielding film 11a will not have an adverse effect on 1st light-shielding film 11a to TFT30 for pixel switching by which opposite arrangement is carried out. Moreover, it may function good as the 2nd storage capacitance electrode of storage capacitance 70 by making capacity line 3b into constant potential. In this case, constant sources of potential, such as a negative supply supplied to the circumference circuits (for example, a scanning-line actuation circuit, a data-line actuation circuit, etc.) for driving the electro-optic device concerned as a constant source of potential and a positive supply, a touch-down power source, the constant source of potential supplied to a counterelectrode 21 are mentioned.

[0071] With the gestalt of this operation, the amount of [of 1st light-shielding film 11a] each insular part. Since it is prepared in the field required to perform protection from light to channel field 1a' of TFT30 for pixel switching at worst. In the non-opening field of the limited picture element part, the field where the amount of (light-shielding film) each insular part laps with data-line 6a or scanning-line 3a is also stopped by minimum. Since possibility that 1st light-shielding film 11a, and data-line 6a and scanning-line 3a will short-circuit, and the electro-optic device concerned will defective-ize can be made low when the projection which is not meant to 1st light-shielding film 11a is formed into a manufacture process, it is advantageous.

[0072] Moreover, capacity line 3b and scanning-line 3a consist of the same polish recon film, consist of high-temperature-oxidation film with same dielectric film of storage capacitance 70 and gate dielectric film 2 of TFT30 for pixel switching, and become the 1f of the 1st storage capacitance electrodes from channel formation field 1a' of TFT30 for pixel switching, and semi-conductor layer 1a with same 1d of

source fields, drain field 1e, etc. For this reason, the laminated structure formed on the TFT array substrate 10 can be simplified, capacity line 3b and scanning-line 3a can be simultaneously formed with the same film formation process in the manufacture approach of the further below-mentioned electro-optic device, and the dielectric film and gate dielectric film 2 of storage capacitance 70 can be formed simultaneously.

[0073] Since flattening in an image display field is attained according to this operation gestalt as explained to the detail above, Raising the quality of a display image by adopting 1st light-shielding film 11a and capacity line 3b In data-line 6a, scanning-line 3a, and TFT30 grade, in addition, by stopping the level difference in the circumference of the pixel opening field resulting from existence of the interlayer insulation film which is needed for such capacity line 3b and a 1st light-shielding film 11a list along with them as much as possible While the disclination of electrooptic material is reduced, the bright high image display of a pixel numerical aperture becomes possible.

[0074] (Configuration in the boundary region and seal field of an electro-optic device) With the actuation, the configuration in the boundary region and seal field of an electro-optic device by this invention is explained with reference to drawing 7 from drawing 5 R> 5. Drawing 5 is the top view showing various wiring in a seal field and its neighborhood, and the configuration of a circumference circuit, drawing 6 is the top view expanding and showing drawer wiring in the seal field of drawing 7, and the drawing 7 (1) ****7 (2) is the C-C'D-D of sectional view and drawing 5 ' sectional view of drawing 6, respectively.

[0075] In drawing 5, from the mounting terminal 102 prepared in the periphery of the TFT substrate array substrate 10, scanning-line actuation circuit signal-line 105a is wired in the scanning-line actuation circuit 104, and two or more picture signal lines 115 are wired in the direction of X (longitudinal direction) to the field between the data-line actuation circuit 101 and a seal field. And in the bottom of the seal field on the extension wire of data-line 6a, the drawer wiring ("the outgoing line of the data line" is called hereafter) 301 which consists of drawer wiring 301a which is some sampling circuit actuation signal lines 114 from the data-line actuation circuit 101, and junction wiring 301b from the picture signal line 115 is formed. On the other hand, in the bottom of the seal field on the extension wire of scanning-line 3a, the drawer wiring 402 of the scanning line from the scanning-line actuation circuit 104 is formed. The drawer wiring 402 includes the counterelectrode (common electrode) potential wiring 112 at the edge. This counterelectrode potential wiring 112 is connected to the counterelectrode 21 (refer to drawing 3) formed in the opposite substrate 20 through vertical flow terminal 106a and the vertical flow material 106. Moreover, the inspection terminal 111 for inputting the signal of predetermined checking adjoins the data-line actuation circuit 101, and is prepared in the data-line actuation circuit 101.

[0076] In drawing 5, the sampling circuit 103 which impresses a picture signal to data-line 6a to predetermined timing is formed on the TFT array substrate 10. Two or more switching elements by which the sampling circuit 103 was established in every data-line 6a If it has (for example, TFT), the picture signal with which serial-parallel conversion of the plurality (6 [for example,]) was carried out pulls out from two or more picture signal lines 115 and it is respectively inputted through wiring 301b It samples by each switching element to the timing of a sampling circuit driving signal to which this is supplied through the sampling circuit actuation signal line 114 and drawer wiring 301a from the scanning-line actuation circuit 101, and it is constituted so that it may be impressed by each data-line 6a. In addition, in addition to a sampling circuit 103, the inspection circuit for inspecting the precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, the quality of the electro-optic device concerned at the manufacture middle or the time of shipment, a defect, etc. may be formed on the TFT array substrate 10.

[0077] As shown in drawing 6, the drawer wiring 301 of the data line is respectively prolonged in the direction (lengthwise direction) of Y, and has width of face L, wiring which adjoin each other sets spacing S, and they are arranged. And as the drawer wiring 301 consists of same aluminum film as data-line 6a and is shown in drawing 7 (1), in the bottom of each drawer wiring 301, the dummy wiring 302

which consisted of same polish recon film as scanning-line 3a is formed.

[0078] In addition, in drawing 5 and drawing 6, the dummy pixel with the same configuration as the pixel which constitutes a screen-display field is formed in the bottom of the 3rd light-shielding film 53 which specifies the circumference of the image display field which is established in the opposite substrate and called circumference abandonment. Although there is no need of constituting the pixel for a display under the 3rd light-shielding film 53 prepared so that the poor orientation field of electrooptic material etc. might be hidden, only predetermined width of face may prepare a dummy pixel outside the edge of an image display field in this way for property stabilization of the pixel near the edge of an image display field.

[0079] On the other hand, wiring with which the drawer wiring 402 of the scanning line shown in drawing 5 is respectively prolonged in the direction of X and which it adjoins sets spacing, and they are arranged. And as the drawer wiring 402 consists of same polish recon film as scanning-line 6a and is shown in drawing 7 (2), after each drawer wiring 402, the dummy wiring 401 which consisted of same aluminum film as data-line 6a is formed.

[0080] As shown in drawing 7 (1) and drawing 7 (2), especially with the gestalt of this operation, the part which pulls out in a seal field and counters wiring 301 and 402 becomes depressed in a concave, and the TFT array substrate 10 is formed. Therefore, the height of the convex projection which pulls out in the front face of the 3rd interlayer insulation film 7 which touches a sealant 52 in the seal field by the side of the TFT array substrate 10, and is formed on wiring 301 and 402 can be lowered according to the depth of the part which became depressed in the concave concerned, and as respectively shown in this drawing, the front face of the 3rd interlayer insulation film 7 is made almost flat. Consequently, in a seal field, this stress is uniformly distributed on the field of the 3rd interlayer insulation film 7 through the gap material 300 mixed in the sealant 52, such as a glass fiber and a glass bead. Therefore, in the seal field which has irregularity in a front face according to the existence of drawer wiring, this stress concentrates by the gap material 300, and possibility that drawer wiring will disconnect or short-circuit is reduced greatly.

[0081] Furthermore, the difference of the height of the front face of the pixel field facing the electrooptic material layer 50 and the front face of the seal field facing a sealant 52 also becomes small. For this reason, the need of using gap material with a path smaller about 1 micrometer than the gap between substrates like before is lost, and it becomes possible to use the gap material 300 with a path comparable as the gap between substrates. When narrowing the gap between substrates so that this may prevent the poor orientation of the electrooptic material layer 50 by detailed-izing of a pixel, it can expect big effectiveness.

[0082] And especially with the gestalt of this operation, laminating formation of the dummy wiring 302 which consists of polish recon film is carried out through the 2nd interlayer insulation film 4 to the drawer wiring 301 of the data line in the seal field (refer to drawing 7 (1)). On the other hand, to the drawer wiring 402 of the scanning line, laminating formation of the dummy wiring 401 which consists of aluminum film is carried out through the 2nd interlayer insulation film 4 (refer to drawing 7 (2)). Therefore, since the height of the front face of the 3rd interlayer insulation film 7 in the seal field in the side of the upper and lower sides of an image display field and the height of the front face of the 3rd interlayer insulation film 7 in the side of right and left of an image display field are in agreement, control of the gap between substrates by the gap material 300 mixed in the whole sealant 52 will become stable.

[0083] Here, the dummy wiring 302 and 401 for adjustment of the sum total thickness in a seal field may be electrically connected with the drawer wiring 301 and 402, respectively. If such a configuration is taken, the redundancy of drawer wiring will become possible. Moreover, even if it is floating electrically, it is satisfactory, and you may use as other capacity line 3b, drawer wiring for 1st light-shielding film 11a, etc.

[0084] With the gestalt of this operation, as shown in drawing 6, electrical installation of the dummy wiring 302 is further carried out to the drawer wiring 301 through the contact hole 305 punctured by the 2nd interlayer insulation film 4 (refer to drawing 7 (1) and drawing 7 (2)). Similarly, electrical installation of the dummy wiring 401 is carried out to the drawer wiring 402. Consequently, each drawer

wiring 301 and 402 has the redundant structure which consists of two conductive layers (aluminum film and polish recon film) respectively. Since it is not necessary to become poor wiring whether follow, for example, pull out in response to the stress by the gap material 300 in the bottom of a seal field, and wiring 301 or 402 is disconnected, or a conductive layer tears the 2nd interlayer insulation film 4 in the direction vertical to the TFT array substrate 10 and aluminum film short-circuits on the polish recon film to it or, it is advantageous. Furthermore, in order to carry out redundancy, a drawer may prepare 1st shade 1a in the bottom of a circle 302 and 402.

[0085] Since flattening in a seal field is attained according to this operation gestalt as explained to the detail above, the gap between substrates is controllable good using the gap material mixed in the sealant, reducing poor wiring of drawer wiring.

[0086] In addition, with the gestalt of this operation, the side-attachment-wall part into which the concave of a TFT array substrate became depressed as shown in drawing 3 and drawing 7 is formed in the shape of a taper. Therefore, in the part which became depressed in the concave, at an after process, it is formed, for example, the polish recon film, a resist, etc. do not remain so that it may explain below. For this reason, flattening can be carried out certainly. Moreover, since the side attachment wall of the part which became depressed in the concave in the seal field especially is formed in the shape of a taper, it also becomes possible to form certainly and comparatively easily the wiring part which crosses and takes about a side attachment wall towards the data-line actuation circuit 101 and the scanning-line actuation circuit 104 which were formed on the field which has not become depressed in a concave from drawer wiring passing through the bottom of a seal field by thin film coating technology. For example, crossing and pulling out the side attachment wall with which the taper twisted or the back taper was formed, and taking about wiring causes poor wiring rather than it is easy.

[0087] (Manufacture process of an electro-optic device) Next, the manufacture process of an electro-optic device with the above configurations is explained with reference to drawing 11 from drawing 8. In addition, it is process drawing which drawing 11 makes each class by the side of the TFT array substrate in each process correspond to the A-A' cross section of drawing 2 like drawing 3 from drawing 8, and is shown.

[0088] First, as shown in the process (1) of drawing 8, dry etching, such as reactant etching and reactant ion beam etching, is performed to the quartz substrate used as the TFT array substrate 10, and the concave hollow which does not once have a taper is formed in the substrate top face in the non-opening field (refer to drawing 2 and drawing 3) of a schedule in which various wiring in an image display field and TFT are formed. The quartz substrate has the thickness of about 1mm, and even if it attaches an about several microns hollow like the after-mentioned for flattening, a problem is not produced at all. Under the present circumstances, in performing dry etching using SF₆/CHF₃ gas, for example according to the experiment of this invention person, if a mixing ratio is 14/112, an etching rate will serve as 5290Å / min (a part for angstrom/), if a mixing ratio is 17/90, an etching rate will serve as 5169Å / min, and if a mixing ratio is 23/67, an etching rate will serve as 4297Å / min. That is, by adjusting the mixing ratio of SF₆/CHF₃ gas, a desired etching rate is obtained and, therefore, the concave hollow of the desired depth can be formed. Especially, the direction which punctured the concave hollow can make a puncturing configuration almost the same as the mask shape by the resist by anisotropic etching like reactant etching and reactant ion beam etching. Thus, as opposed to the quartz substrate with which the hollow of a concave without a taper was formed of dry etching processing, the side attachment wall of a hollow is made into the shape of a taper by the wet etching of an etching rate for example, with low 780Å / min extent. Thus, it is if the side attachment wall of the part which became depressed in the concave is formed in the shape of a taper, It is formed at an after process in the part which became depressed in the concave, for example, neither the polish recon film nor a resist remains in the perimeter of a side attachment wall of an aperture, without etching and exfoliating, and lowering of the yield is not caused. For this reason, flattening can be carried out certainly. Furthermore, as an approach of forming ***** of the aperture of the 1st interlayer insulation film 12 in the shape of a taper, once it etches by dry etching, a resist pattern may be retreated and dry etching may be performed again.

[0089] Preferably, annealing treatment is carried out at inert gas ambient atmospheres, such as N₂

(nitrogen), and an about 900-1300-degree C elevated temperature, and it pretreats here so that distortion produced in the TFT array substrate 10 in the elevated-temperature process carried out behind may decrease. That is, according to the temperature by which high temperature processing is carried out at the maximum elevated temperature in a manufacture process, the TFT array substrate 10 is heat-treated at the same temperature or the temperature beyond it in advance.

[0090] In addition, it may change to a quartz substrate, above-mentioned etching processing and annealing treatment may be performed to a silicon substrate, hard glass, etc., and the TFT array substrate 10 may be constituted. moreover, the alignment (alignment) to the hollow formed in the TFT array substrate 10 in masking at future processes etc. -- for example, this process (1) -- alignment -- the hollow [like] is added to the predetermined part of a TFT array substrate, and it is carried out by recognizing this by interference of light etc.

[0091] next, the whole surface of the TFT array substrate 10 in which the concave hollow was formed as shown in a process (2) -- metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pd, -- a spatter -- about 1000-5000A thickness -- the light-shielding film 11 of about 2000A thickness is formed preferably. In addition, if the polish recon film is used as a light-shielding film 11, destruction of the interlayer insulation film by stress will not be caused.

[0092] Then, as shown in a process (3), 1st light-shielding film 11a is formed by forming the resist mask corresponding to the pattern (referring to drawing 2) of 1st light-shielding film 11a by the photolithography on the this formed light-shielding film 11, and etching to a light-shielding film 11 through this resist mask.

[0093] Next, as shown in a process (4), the 1st interlayer insulation film 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, an oxidation silicone film, etc. using TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl oxy-FOSU rate) gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on 1st light-shielding film 11a. The thickness of this 1st interlayer insulation film 12 may be about 5000-20000A.

[0094] Next, as shown in a process (5), about 450-550 degrees C of amorphous silicon film are preferably formed comparatively on the 1st interlayer insulation film 12 with the reduced pressure CVD (for example, CVD with a pressure of about 20-40Pa) using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc. of about 500 degrees C in a low-temperature environment. Then, in nitrogen-gas-atmosphere mind, by performing annealing treatment of 4 - 6 hours preferably at about 600-700 degrees C for about 1 to 10 hours, solid phase growth of the polish recon film 1 is carried out until it becomes the thickness of about 1000A preferably in about 500-2000A thickness.

[0095] Under the present circumstances, as TFT30 for pixel switching shown in drawing 3, when creating TFT30 for pixel switching of an n channel mold, the dopant of V group elements, such as Sb (antimony), As (arsenic), and P (Lynn), may be slightly doped by an ion implantation etc. to the channel field concerned. Moreover, when using TFT30 for pixel switching as a p channel mold, the dopant of III group elements, such as B (boron), Ga (gallium), and In (indium), may be slightly doped by an ion implantation etc. In addition, the polish recon film 1 may be directly formed with a reduced pressure CVD method etc. without passing through the amorphous silicon film. Or drive silicon ion into the polish recon film deposited with the reduced pressure CVD method etc., once make it amorphous (amorphous-izing), it is made to recrystallize by annealing treatment etc. after that, and the polish recon film 1 may be formed. As an approach of carrying out solid phase growth, laser annealing which used RTA (Rapid Thermal Anneal), such as annealing treatment and an excimer laser, may be used.

[0096] Next, as shown in a process (6), semi-conductor layer 1a of the **** predetermined pattern shown in drawing 2 is formed according to a photolithography process, an etching process, etc. That is, the 1f of the 1st storage capacitance electrodes installed from semi-conductor layer 1a which constitutes TFT30 for pixel switching is formed especially in the field in which capacity line 3b is formed along with the field in which capacity line 3b is formed, and scanning-line 3a under data-line 6a.

[0097] As shown in a process (7), the 1f of the 1st storage capacitance electrodes with semi-conductor layer 1a which constitutes TFT30 for pixel switching next, the temperature of about 900-1300 degrees

C, and by oxidizing thermally with the temperature of about 1000 degrees C preferably A thermal oxidation silicon film with a comparatively thin thickness of about 300Å is formed. Furthermore, a high-temperature-oxidation silicon film (HTO film) and a silicon nitride film are deposited on the comparatively thin thickness of about 500Å with a reduced pressure CVD method etc., and the gate dielectric film 2 for capacity formation is formed with the gate dielectric film 2 with multilayer structure of TFT30 for pixel switching (refer to drawing 3). consequently, the thickness of the 1f of the 1st storage capacitance electrodes -- the thickness of about 300-1500Å -- desirable -- the thickness of about 350-500Å -- becoming -- the thickness of gate dielectric film 2 -- the thickness of about 200-1500Å -- it becomes the thickness of about 300-1000Å preferably. Thus, by shortening elevated-temperature thermal oxidation time amount, when using especially an about 8 inches large-sized substrate, the camber by heat can be prevented. However, gate dielectric film 2 with monolayer structure may be formed only by oxidizing the polish recon layer 1 thermally.

[0098] In addition, although not limited especially in a process (7), the amount of [used as the 1f of the 1st storage capacitance electrodes] semi-conductor layer may be made to dope and form for example, P ion into low resistance in about $3 \times 10^{12}/\text{cm}^2$ of doses.

[0099] Next, thermal diffusion of the process (Lynn (P as shown in 8), after depositing the polish recon layer 3 with a reduced pressure CVD method etc.) is carried out, and the polish recon film 3 is electric-conduction-ized. Or the doped silicon film which introduced P ion into membrane formation and coincidence of the polish recon film 3 may be used.

[0100] Next, as shown in the process (9) of drawing 9, capacity line 3b is formed according to the photolithography process using a resist mask, an etching process, etc. with scanning-line 3a of the **** predetermined pattern shown in drawing 2. Thickness of such capacity line 3b (scanning-line 3a) is made into about 3500Å.

[0101] Next, as shown in a process (10), when TFT30 for pixel switching shown in drawing 3 is set to TFT of an n channel mold with LDD structure, In order to form low concentration source field 1b and low concentration drain field 1c in semi-conductor layer 1a first The dopant 60 of V group elements, such as P, is doped by low concentration, using scanning-line 3a (gate electrode) as a diffusion mask (with for example, dose which is one to $3 \times 10^{13}/\text{cm}^2$ about P ion). Thereby, semi-conductor layer 1a under scanning-line 3a becomes channel field 1a'. Capacity line 3b and scanning-line 3a are also formed into low resistance by the dope of this impurity.

[0102] then, as shown in a process (11), in order to form high concentration source field 1b and high concentration drain field 1c which constitute TFT30 for pixel switching, after forming the resist layer 62 on scanning-line 3a with a mask with wide width of face rather than scanning-line 3a, similarly the dopant 61 of V group elements, such as P, is doped by high concentration (for example, P ion -- the dose of one to $3 \times 10^{15}/\text{cm}^2$). Moreover, to semi-conductor layer 1a, when using TFT30 for pixel switching as a p channel mold, in order to form 1d of high concentration source fields, and high concentration drain field 1e in low concentration source field 1b and a low concentration drain field 1c list, the dopant of III group elements, such as B, is used and doped. In addition, it is good also as TFT of offset structure, without, for example, performing a low-concentration dope, and it is good also as TFT of a self aryne mold by the ion-implantation technique using P ion, B ion, etc., using scanning-line 3a as a mask.

[0103] Capacity line 3b and scanning-line 3a are also further formed into low resistance by the dope of this impurity.

[0104] In parallel to these processes, the circuit of the data-line actuation circuit 101 with the complementary-type structure which consists of an n channel mold TFT and a p channel mold TFT, and scanning-line actuation circuit 104 grade is formed in the periphery on the TFT array substrate 10. Thus, since TFT30 for pixel switching forms a semi-conductor layer by polish recon in the gestalt of this operation, at the time of formation of TFT30 for pixel switching, it is the same process mostly, and the data-line actuation circuit 101 and the scanning-line actuation circuit 104 can be formed, and it is advantageous on manufacture.

[0105] Next, as shown in a process (12), the 2nd interlayer insulation film 4 which consists of silicate

glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, an oxidation silicone film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that capacity line 3b may be covered with scanning-line 3a in TFT30 for pixel switching. The thickness of the 2nd interlayer insulation film 4 has desirable about 5000-15000Å.

[0106] Next, the contact hole 5 to the data line 31 in order to activate 1d of high concentration source fields, and high concentration drain field 1e, after performing about 1000-degree C annealing treatment about 20 minutes in the phase of a process (13) -- dry etching, such as reactant etching and reactant ion beam etching, -- or it forms by wet etching. Moreover, the contact hole for connecting with wiring which illustrates neither scanning-line 3a nor capacity line 3b is also punctured to the 2nd interlayer insulation film 4 according to the same process as a contact hole 5.

[0107] Next, on the 2nd interlayer insulation film 4, as shown in the process (14) of drawing 10, as it deposits on about 3000Å preferably in about 1000-5000Å thickness by making low resistance metal metallurgy group silicide, such as aluminum of protection-from-light nature, etc. into a metal membrane 6 and is further shown in a process (15) by spatter processing etc., data-line 6a is formed according to a photolithography process, an etching process, etc.

[0108] Next, as shown in a process (16), the 3rd interlayer insulation film 7 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, an oxidation silicone film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that a data-line 6a top may be covered. The thickness of the 3rd interlayer insulation film 7 has desirable about 5000-15000Å.

[0109] Next, in the phase of the process (17) of drawing 11, the contact hole 8 for carrying out electrical installation of pixel electrode 9a and the high concentration drain field 1e is formed by dry etching, such as reactant etching and reactant ion beam etching, in TFT30 for pixel switching.

[0110] Next, on the 3rd interlayer insulation film 7, as shown in a process (18), as the transparent conductive thin films 9, such as ITO film, are deposited on the thickness of about 500-2000Å and are further shown in a process (19) by spatter processing etc., pixel electrode 9a is formed according to a photolithography process, an etching process, etc. In addition, when using the electro-optic device concerned for the electro-optic device of a reflective mold, pixel electrode 9a may be formed from an opaque ingredient with high reflection factors, such as aluminum.

[0111] Then, after applying the coating liquid of the orientation film of a polyimide system on pixel electrode 9a, the orientation film 16 (refer to drawing 3) is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0112] As mentioned above, although the production process was explained focusing on the picture element part with reference to drawing 11 from drawing 8, the laminated structure in the seal field shown in drawing 7 is also formed of the same process as these. Namely, the concave hollow in a seal field is mainly formed of the same etching process as an above-mentioned process (1). The drawer wiring 402 (refer to drawing 7 (2)) and the dummy wiring 302 (refer to drawing 7 (1)) of the scanning line are formed of a process (8) and the same process as (9). The drawer wiring 301 (refer to drawing 7 (1)) and the dummy wiring 401 (refer to drawing 7 (2)) of the data line are formed of a process (14) and the same process as (15), and the 1st to 3rd interlayer insulation film 12, 4, and 7 is formed of other processes. Therefore, in the seal field, flattening of the top face of the 3rd interlayer insulation film 7 is carried out according to the concave hollow formed in the TFT array substrate 10. Thus, since according to the manufacture process of this operation gestalt flattening in a seal field is attained and especially the side attachment wall of the part which became depressed in the concave in a seal field is formed in the shape of a taper The wiring part (refer to drawing 5 and drawing 6) which crosses and takes about a side attachment wall towards the data-line actuation circuit 101 and the scanning-line actuation circuit 104 which were formed on the substrate side which has not become depressed in a concave from the drawer wiring 301 and 402 passing through the bottom of a seal field It also becomes possible to form certainly and comparatively easily by thin film coating technology.

[0113] On the other hand, about the opposite substrate 20 shown in drawing 3, a glass substrate etc. is prepared first, and after the 2nd light-shielding film 23 and the 3rd light-shielding film 53 (refer to

drawing 5 , drawing 6 , drawing 12 R> 2, and drawing 13) as circumference abandonment carry out the spatter of the chromium metal, they are formed through a photolithography process and an etching process. In addition, these 2nd light-shielding film and 3rd light-shielding film may form others, Si, and carbon and Ti, such as Cr, nickel, and aluminum, from ingredients, such as resin black distributed to the photoresist. [metallic material]

[0114] Then, a counterelectrode 21 is formed by spatter processing etc. all over the opposite substrate 20 by depositing transparent conductive thin films, such as ITO, on the thickness of about 500-2000Å.

Furthermore, after applying the coating liquid of the orientation film of a polyimide system all over a counterelectrode 21, the orientation film 22 (refer to drawing 3) is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0115] Finally, the electrooptic material with which the TFT array substrate 10 and the opposite substrate 20 with which each class was formed as mentioned above are stuck by the sealant 52 so that the orientation film 16 and 22 may meet, and they come to mix two or more kinds of pneumatic electrooptic material to the space between both substrates by vacuum attraction etc. is attracted, and the electrooptic material layer 50 of predetermined thickness is formed.

[0116] In addition, in the above manufacture process, CMP processing may be performed, or SOG may be formed with a spin coat etc., and flattening of the top face of the 3rd interlayer insulation film 7 may be carried out more nearly thoroughly. Thus, if flattening is carried out, according to the degree of the flattening concerned, the disclination (poor orientation) of the electrooptic material caused by the irregularity of the front face of the 3rd interlayer insulation film 7 can be reduced. Especially the burden placed on the process which attains such more perfect global flattening since the level difference of the top face of the 3rd interlayer insulation film 7 is reduced according to the concave hollow formed in the TFT array substrate 10 is dramatically small, and ends.

[0117] (The whole electro-optic device configuration) The whole gestalt configuration of each operation of the electro-optic device constituted as mentioned above is explained with reference to drawing 12 and drawing 13 . In addition, drawing 12 is the top view which looked at the TFT array substrate 10 from the opposite substrate 20 side with each component formed on it, and drawing 13 is a H-H' sectional view of drawing 12 shown including the opposite substrate 20.

[0118] In drawing 12 , on the TFT array substrate 10, the sealant 52 is formed along the edge and the 3rd light-shielding film 53 as circumference abandonment which consists of an ingredient which is the same as the 2nd light-shielding film 23, or is different is formed in parallel to the inside. The data-line actuation circuit 101 and the mounting terminal 102 are formed in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line actuation circuit 104 is established in it along with two sides which adjoin this one side. If the scan signal delay supplied to scanning-line 3a does not become a problem, the thing only with one side sufficient [the scanning-line actuation circuit 104] cannot be overemphasized. Moreover, the data-line actuation circuit 101 may be arranged on both sides along the side of an image display field. For example, data-line 6a of an odd number train supplies a picture signal from the data-line actuation circuit arranged along one side of an image display field, and you may make it the data line of an even number train supply a picture signal from the data-line actuation circuit arranged along the side of the opposite hand of said image display field. Thus, if it is made to drive data-line 6a in the shape of a ctenidium, since the occupancy area of a data-line actuation circuit is extensible, it becomes possible to constitute a complicated circuit.

Furthermore, two or more wiring 105 for connecting between the scanning-line actuation circuits 104 established in the both sides of an image display field is formed in one side in which the TFT array substrate 10 remains. Moreover, in at least one place of the corner section of the opposite substrate 20, the vertical flow material 106 for taking an electric flow between the TFT array substrate 10 and the opposite substrate 20 is formed. And as shown in drawing 13 , the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 12 has fixed to the TFT array substrate 10 by the sealant 52 concerned.

[0119] You may make it connect with LSI for actuation mounted on TAB (tape automated bonding substrate) instead of forming the data-line actuation circuit 101 and the scanning-line actuation circuit

104 on the TFT array substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10 with the gestalt of each operation explained with reference to drawing 13 from drawing 1 above. Moreover, according to the exception of modes of operation, such as TN (Twisted Nematic) mode, STN (super TN) mode, and D-STN (double-STN) mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation.

[0120] Since the electro-optic device in the gestalt of each operation explained above is applied to a color electrooptic material projector, the electro-optic device of three sheets will be respectively used as a light valve for RGB, and incidence of the light of each color respectively decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each panel as incident light. Therefore, with the gestalt of each operation, the light filter is not prepared in the opposite substrate 20. However, the light filter of RGB may be formed in the predetermined field which counters pixel electrode 9a in which the 2nd light-shielding film 23 is not formed on the opposite substrate 20 with the protective coat. If it does in this way, the electro-optic device in the gestalt of each operation is applicable to color electro-optic devices, such as color electrooptic material television of direct viewing types other than an electrooptic material projector, or a reflective mold. Furthermore, a micro lens may be formed so that it may correspond 1 pixel on [one] the opposite substrate 20. If it does in this way, a bright electro-optic device is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, a brighter color electro-optic device is realizable.

[0121] Although [the electro-optic device in the gestalt of each operation explained above] incidence of the incident light is carried out from the opposite substrate 20 side as usual, since 1st light-shielding film 11a is prepared, incidence of the incident light is carried out from the TFT array substrate 10 side, and it may be made to carry out outgoing radiation from the opposite substrate 20 side. That is, even if it attaches an electro-optic device in a projector in this way, it is possible to be able to prevent light carrying out incidence to channel field 1a' of semi-conductor layer 1a and the LDD fields 1b and 1c, and to display a high-definition image on them. Here, in order to prevent the echo by the side of the rear face of the TFT array substrate 10 conventionally, the polarizing plate with which AR coat was carried out for acid resisting needs to be arranged separately, and AR film needed to be stuck. However, with the gestalt of each operation, since [of the front face of the TFT array substrate 10 and semi-conductor layer 1a] 1st light-shielding film 11a is formed at least between channel field 1a' and the LDD fields 1b and 1c, such a polarizing plate and AR film by which AR coat was carried out are used, or the need of using the substrate which carried out AR processing of TFT array substrate 10 itself is lost. Therefore, according to the gestalt of each operation, ingredient cost can be reduced, and a contaminant, a blemish, etc. do not drop the yield at the time of polarizing plate attachment, and it is very advantageous. Moreover, since lightfastness is excellent, even if it uses the bright light source, or it carries out polarization conversion by the polarization beam splitter and it raises efficiency for light utilization, image quality degradation of the cross talk by light etc. is not produced.

[0122] Moreover, although explained as a switching element prepared in each pixel that it was the poly-Si TFT of a forward stagger mold or a coplanar mold, the gestalt of each operation is effective also to TFT of other formats, such as TFT of a reverse stagger mold, and an amorphous silicon TFT.

[0123] Furthermore, as a switching element of each pixel of an electro-optic device, it may change into TFT and 2 terminal mold nonlinear elements, such as TFD, may be used. In this case, what is necessary is to form either the scanning line or the data lines in an opposite substrate, to consider as a stripe-like counterelectrode, to establish another side in a component array substrate, and just to constitute so that it may connect with each pixel electrode through each TFD component etc. Or you may constitute as an electro-optic device of a passive matrix mold, without preparing a switching element in each pixel of an

electro-optic device. In any case, the effectiveness original with this invention mentioned above is acquired by flattening in an image display field and a seal field.

[0124] (Electronic equipment) Next, the gestalt of operation of electronic equipment equipped with the liquid crystal equipment 100 explained to the detail above is explained with reference to drawing 16 from drawing 1414.

[0125] The outline configuration of the electronic equipment which equipped drawing 14 with liquid crystal equipment 100 in this way is shown first.

[0126] In drawing 14, electronic equipment is constituted in preparation for the source 1000 of a display information output, the display information processing circuit 1002, the actuation circuit 1004, liquid crystal equipment 100, and clock generation circuit 1008 list in the power circuit 1010. The source 1000 of a display information output outputs display information, such as a picture signal of a predetermined format, to the display information processing circuit 1002 based on the clock signal from the clock generation circuit 1008 including the tuning circuit which aligns and outputs memory, such as ROM (Read Only Memory), RAM (Random Access Memory), and an optical disk unit, and a picture signal. The display information processing circuit 1002 is constituted including various well-known processing circuits, such as magnification and a polarity-reversals circuit, a serial-parallel conversion circuit, a rotation circuit, a gamma correction circuit, and a clamping circuit, carries out sequential generation of the digital signal from the display information inputted based on the clock signal, and outputs it to the actuation circuit 1004 with a clock signal CLK. The actuation circuit 1004 drives liquid crystal equipment 100. A power circuit 1010 supplies a predetermined power source to each above-mentioned circuit. In addition, on the TFT array substrate which constitutes liquid crystal equipment 100, the actuation circuit 1004 may be carried and, in addition to this, the display information processing circuit 1002 may be carried.

[0127] Next, the example of the electronic equipment constituted in this way from drawing 15 by drawing 16 is shown respectively.

[0128] In drawing 15, an example slack liquid crystal projector 1100 of electronic equipment prepares three liquid crystal display modules containing the liquid crystal equipment 100 with which the actuation circuit 1004 mentioned above was carried on the TFT array substrate, and is constituted as a projector respectively used as light valves 100R, 100G, and 100B for RGB. In a liquid crystal projector 1100, if incident light is emitted from the lamp unit 1102 of sources of the white light, such as a metal halide lamp, it will be divided into parts for Mitsunari R, G, and B corresponding to the three primary colors of RGB with the mirror 1106 of three sheets, and the dichroic mirror 1108 of two sheets, and will be respectively led to the light valves 100R, 100G, and 100B corresponding to each color. Under the present circumstances, especially B light is drawn through the relay lens system 1121 which consists of the incidence lens 1122, a relay lens 1123, and an outgoing radiation lens 1124, in order to prevent the optical loss by the long optical path. And after a part for Mitsunari corresponding to the three primary colors respectively modulated with light valves 100R, 100G, and 100B is again compounded with a dichroic prism 1112, it is projected on it by the screen 1120 as a color picture through a projector lens 1114.

[0129] In drawing 16, the liquid crystal equipment 100 mentioned above is formed in the top covering case, and other personal computers 1200 of the laptop type corresponding to example slack multimedia of electronic equipment (PC) are equipped with the body 1204 with which the keyboard 1202 was incorporated while they hold CPU, memory, a modem, etc. further.

[0130] ***** equipped with the video tape recorder of a liquid crystal television, a viewfinder mold, or a monitor direct viewing type, the car navigation equipment, the electronic notebook, the calculator, the word processor, the engineering workstation (EWS), the cellular phone, the TV phone, POS terminal, and touch panel other than electronic equipment which were explained with reference to drawing 16 from drawing 15 above etc. is mentioned as an example of the electronic equipment shown in drawing 14.

[0131] As explained above, according to the gestalt of this operation, various kinds of electronic equipment equipped with the liquid crystal equipment in which high-definition image display with high

manufacture effectiveness is possible is realizable.

[0132]

[Effect of the Invention] According to the electro-optic device of this invention, by flattening in the image display field using a comparatively easy configuration, a large pixel opening field can be taken reducing generating of the disclination of electrooptic material, and the bright electro-optic device in which the image display of high quality is possible can be realized. moreover, flattening in the seal field using a comparatively easy configuration -- the gap between substrates -- precision -- the highly reliable electro-optic device with which it was highly controlled and poor wiring was reduced is realizable.

[0133] moreover -- according to the manufacture approach of the electro-optic device of this invention -- comparatively easy process control -- or a reliable process enables it to manufacture the electro-optic device of this invention.

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.